



Fakulta Elektrotechnická
Katedra mikroelektroniky

Bakalářská práce

Digitální vzorkovací osciloskop na bázi SoC – Signálová část

Michal Navrátil

Studijní obor:

Elektronika a komunikace (BP77)

Vedoucí práce:

prof. Ing. Pavel Hazdra, CSc.

Praha, 2023

I. OSOBNÍ A STUDIJNÍ ÚDAJE

Příjmení: **Navrátil** Jméno: **Michal** Osobní číslo: **499001**
Fakulta/ústav: **Fakulta elektrotechnická**
Zadávající katedra/ústav: **Katedra mikroelektroniky**
Studijní program: **Elektronika a komunikace**

II. ÚDAJE K BAKALÁŘSKÉ PRÁCI

Název bakalářské práce:

Digitální vzorkovací osciloskop na bázi SoC – signálová část

Název bakalářské práce anglicky:

SoC Based Digital Sampling Oscilloscope – Signal Part

Pokyny pro vypracování:

Seznamte se s problematikou návrhu systémů na čipu řady ZYNQ-7000 a platformou ZYBO. Na bázi této platformy navrhnete a realizujete signálovou část dvoukanalového digitálního osciloskopu se šířkou pásma 500 kHz (vstupní analogové obvody, A/D převodník, obvody pro zachycení a uložení číslicového signálu). Ověřte činnost klíčových funkcí osciloskopu.

Seznam doporučené literatury:

- [1] L. H. Crockett , R. A. Elliot, M. A. Enderwitz, The ZYNQ Book, Xilinx 2015
- [2] J. Ledin, Architecting High-Performance Embedded Systems, Packt Publishing, 2021, ISBN 978-1-78995-596-5
- [3] Oscilloscope & Signal generator. In: redpitaya [online]. Dostupné z:
<https://redpitaya.com/applications-measurement-tool/oscilloscope-signal-generator/>

Jméno a pracoviště vedoucí(ho) bakalářské práce:

prof. Ing. Pavel Hazdra, CSc. katedra mikroelektroniky FEL

Jméno a pracoviště druhé(ho) vedoucí(ho) nebo konzultanta(ky) bakalářské práce:

Datum zadání bakalářské práce: **17.02.2023**

Termín odevzdání bakalářské práce: _____

Platnost zadání bakalářské práce: **22.09.2024**

prof. Ing. Pavel Hazdra, CSc.
podpis vedoucí(ho) práce

prof. Ing. Pavel Hazdra, CSc.
podpis vedoucí(ho) ústavu/katedry

prof. Mgr. Petr Páta, Ph.D.
podpis děkana(ky)

III. PŘEVZETÍ ZADÁNÍ

Student bere na vědomí, že je povinen vypracovat bakalářskou práci samostatně, bez cizí pomoci, s výjimkou poskytnutých konzultací. Seznam použité literatury, jiných pramenů a jmen konzultantů je třeba uvést v bakalářské práci.

Datum převzetí zadání

Podpis studenta

ABSTRAKT

Předkládaná bakalářská práce se zabývá vytvořením analogové části a vzorkovacího mechanismu pro digitální osciloskop založený na desce ZYBO-Z7-20. Jedná se o jednu ze dvou prací popisující realizaci tohoto osciloskopu navrženého ve spolupráci s Josefem Čadou. Obsahem této práce je zpracování signálu od jeho sejmутí sondou, přes analogové zpracování do formátu vhodného pro vyhodnocení pomocí zabudovaného analogově digitálního převodníku, po samotný převod a uložení. Výstupní produkt je tak obvod určený pro přípravu signálu a ochranu analogově digitálního převodníku a konfigurační soubor pro desku ZYBO-Z7-20 realizující měření a uložení signálů v systému na čipu ZYNQ.

KLÍČOVÁ SLOVA

ADC, FPGA, DSO, SOC, ZYBO, ZYNQ, osciloskop, analogové zpracování signálu, předzesilovač, atenuátor

ABSTRACT

The presented bachelor thesis is focused on the creation of an analog part and a sampling mechanism of a digital oscilloscope based on the board ZYBO-Z7-20. It is one of two thesis describing the design of this oscilloscope in collaboration with Josef Čada. The content of this thesis is signal processing from an input probe through its adjustment into a format suitable for evaluation using a build-in analog to digital converter up to measurement itself and storage. The output product is a circuit for analog signal processing and analog to digital converter protection and a configuration file for the ZYBO-Z7-20 board for measurement and storage of signals.

KEYWORDS

ADC, FPGA, DSO, SOC, ZYBO, ZYNQ, oscilloscope, analog signal processing, preamplifier, attenuator

PODĚKOVÁNÍ

Děkuji panu prof. Ing. Pavlu Hazdrovi, CSc. za vedení této práce a mým rodičům za podporu při psaní toto textu. Také bych rád poděkoval kolegovi Josefu Čadovi za bezproblémovou spolupráci a doc. Ing. Stanislavu Vítкови, Ph.D. za propůjčení vybavení využitého při realizaci projektu.

PROHLÁŠENÍ

Prohlašuji, že jsem předloženou práci vypracoval samostatně a že jsem uvedl veškeré použité informační zdroje v souladu s Metodickým pokynem o dodržování etických principů při přípravě vysokoškolských závěrečných prací.

V Praze dne 24. května 2023

Michal Navrátil

Obsah

Seznam použitých obrázků	XVI
Seznam použitých tabulek	XVII
1 Úvod	1
2 Realizace osciloskopů	3
2.1 Analogový Osciloskop	3
2.2 Digitální Osciloskop	4
2.2.1 Osciloskopy jako přídatné moduly	6
3 Digitální osciloskop a jeho části	9
3.1 Programovatelné hradlové pole	9
3.2 Systém na čipu	10
3.3 Analogově digitální převodník	10
3.4 Vývojová deska Zybo-Z7	11
3.4.1 Architektura čipu XC7Z020	12
3.4.2 XADC	14
3.5 Návrhový systém Vivado	15
3.5.1 Jazyk pro popis hardwaru	15
4 Naše koncepce	17
5 Analogová část	19
5.1 Koncept	19
5.2 Návrh	20
5.2.1 Napájení	20
5.2.2 Atenuátor	20
5.2.3 Stejnosměrný posun vstupu	22
5.2.4 Předzesilovač	23
5.2.5 Ochrana	25
5.2.6 Externí trigger	26
5.2.7 Generování napěťového posunu	27
6 Digitální část	29
6.1 Koncept	29
6.2 Použité bloky Vivado	29
6.2.1 Processing system	30
6.2.2 Advanced Extensible Interface	30
6.2.3 XADC Wizard	30
6.2.4 Block Memory Generátor	31

6.3	Vlastní IP bloky	31
6.3.1	Správce XADC	31
6.3.2	Správce kanálu	32
6.3.3	Správce triggeru	34
6.3.4	Správce PGA	35
7	Výsledky práce	37
7.1	Digitální část	37
7.2	Analogová část	40
8	Závěr	45
	Použité zdroje	47
A	Přílohy	49
A.1	Blokové schéma digitální části zpracování signálu ve Vivadu	50
A.2	Využití čipu XC7Z020-1CLG400C digitální části zpracování signálu . . .	51
A.3	Blokové schéma celého společného projektu ve Vivadu	52
A.4	Celkové využití čipu XC7Z020-1CLG400C celým projektem osciloskopu	53
A.5	Schéma desky analogového zpracování signálu	54
A.6	Přední a zadní vrstva mědi desky analogového zpracování signálu . . .	55
A.7	Vyrobená deska	56

Seznam použitých obrázků

2.1	Zjednodušené schéma analogového osciloskopu [3] str.173	3
2.2	Zjednodušené schéma digitálního osciloskopu [3] str.9	5
2.3	Red Pitaya STEMLab 125-14 [4].	6
2.4	Eclipse Z7 [5].	7
3.1	Složení logického bloku v FPGA Artix®-7 [6].	9
3.2	Proces převodu signálu z analogové do digitální podoby	10
3.3	Deska ZYBO-Z7-20 [7].	12
3.4	Architektura čipu XC7Z020-1CLG400C desky Zybo-Z7-20 [7].	13
3.5	Blokové schéma XADC čipu XC7Z020-1CLG400C[7].	14
4.1	Celkové schéma práce	17
5.1	Schéma analogové části.	19
5.2	Schéma zdroje záporného napětí.	20
5.3	Schéma atenuátoru kanálu 1.	21
5.4	Schéma posunu kanálu.	22
5.5	Frekvenční charakteristiky jednotlivých zesílení LTC6911-2[16].	23
5.6	Schéma zapojení PGA.	24
5.7	Ochranné prvky kanálu. V levo fitr a v pravo přepětová ochrana.	25
5.8	Schéma obvodu externího triggeru.	26
5.9	Schéma generátoru napěťového posunu.	27
6.1	Blokové schéma digitální části.	29
6.2	Časování komunikačního protokolu drp pro XADC.	31
6.3	Blok správce XADC.	32
6.4	Blok správce kanálu.	32
6.5	Flowchart logiky obsluhy kanálu.	34
6.6	Blok správce triggeru.	35
6.7	Blok správce PGA na externí desce.	35
7.1	Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 10kHz o délce 100 vzorků.	37
7.2	Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 100kHz o délce 100 vzorků.	38
7.3	Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 200kHz o délce 100 vzorků.	38
7.4	Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 240kHz o délce 100 vzorků.	39
7.5	Šum, který je původem primárně z operačních zesilovačů, superponovaný na vstupním signálu měřený na osciloskopu R&S RTM3004 na sinusovém signálu o amplitudě 0,1V při měření rozsahu $\pm 2V$	41
7.6	Vliv šumu způsobeného na zesilovačích na čtení sinusového singálu o amplitudě 0,1V a frekvenci 10kHz při měření rozsahu $\pm 2V$	41
7.7	Přenosová charakteristika vertikální části.	42

7.8	Přenosová charakteristika celého kanálu.	42
7.9	Příklad signálu triggeru v závislosti na vnějším zdroji měřený na osciloskopu R&S RTM3004.	43

Seznam použitých tabulek

2.1	Vlastnosti měřících kanálů Red Pitaya STEMLab 125-14 [4].	6
3.1	Porovnání modelů Zybo Z7 [7].	12
3.2	Vlastnosti XADC pro měření externích kanálů [8].	15
5.1	Navržené vlastnosti rozšiřující desky.	19
7.1	Využité prostředky čipu XC7Z020-1CLG400C digitální částí.	39
7.2	Využité prostředky čipu XC7Z020-1CLG400C celým projektem.	40

Seznam použitých symbolů a zkratek

K Množství kvant.

P Šířka pásma.

f_c Mezní frekvence dolní propusti.

f_s Vzorkovací frekvence.

ADC Analogově digitální převodník.

AXI Advanced Extensible Interface.

CLB Konfigurovatelný logický blok.

CRT Katodová trubice.

FF Flip-flop.

FPGA Programovatelné hradlové pole.

HDL Jazyky pro popis hardwaru.

IP Intelektuální vlastnictví.

LUT Lookup table.

PCB Tištěný spoj.

PGA Programovatelný zesilovač napětí.

PL Programovatelná logika.

PS Processing System.

SoC Systém na čipu.

XADC Vnitřní ADC desky Zybo.

1 Úvod

Osciloskopy jsou základním vybavením každé laboratoře, jedná se o nenahraditelný přístroj při analýze a diagnostice systémů. Jsou to přístroje schopné zobrazovat napětí signálu v závislosti na čase nebo v závislosti na napětí jiného signálu. První vzniklé osciloskopy byly analogové, ty zobrazovaly signál v reálném čase a byly limitovány přesností v závislosti na maximální frekvenci.

Digitální osciloskopy čtený signál zpracují do digitální podoby a uloží si jej do paměti. To jim umožňuje dosáhnout vysokých frekvencí s lepším napětovým rozlišením, ale při tom diskretizují čtený signál. Ukládání dat také umožňuje další zpracování signálu a jeho zpětné zobrazení. V dnešní době se používají při tvorbě digitálních osciloskopů programovatelná pole, která jim umožňují vysokou flexibilitu. Právě na využití programovatelných polí, pro realizaci osciloskopu, je tato práce soustředěna.

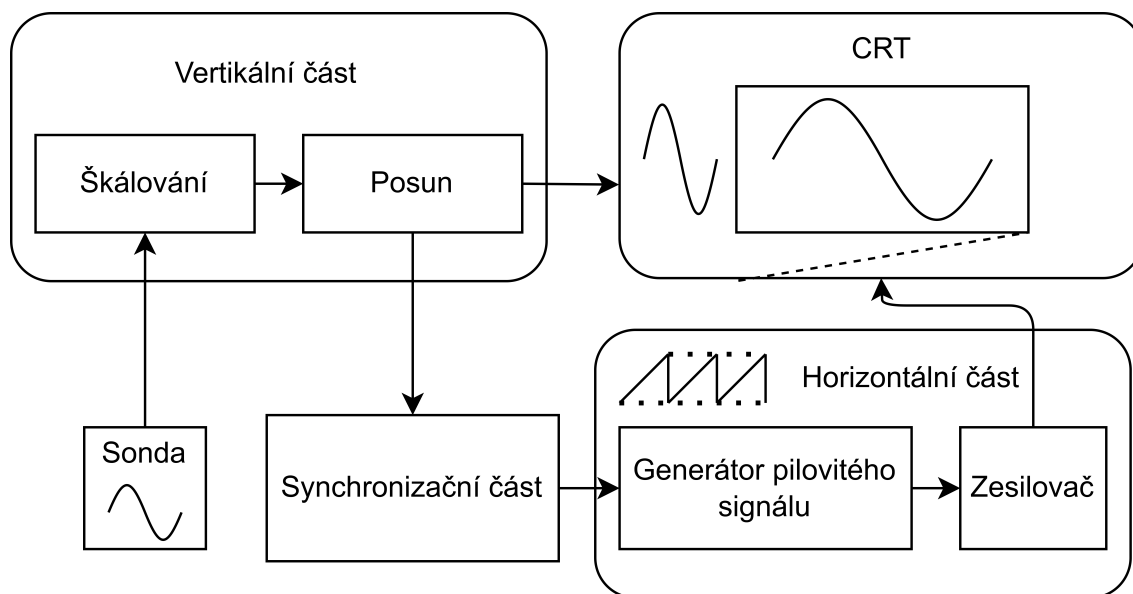
Celkem se bakalářská práce zabývá vytvořením jednoduchého digitálního osciloskopu s použitím systému na čipu s programovatelným polem a zobrazením pomocí počítače. Vzhledem k náročnosti práce je využito již existující prototypovací desky hradlového pole a celá práce je rozdělena do dvou prací. Tato bakalářská práce je soustředěna na návrh signálové části systému obsahující řízení čtení signálu a vytvoření desky plošných spojů pro dvoukanalový osciloskop s možností externího triggeru. Druhá bakalářská práce, kterou psal Josef Čada[1] je zaměřena na část řídicí a zobrazovací, která umožní ovládání a zobrazování výsledků celého zařízení pomocí počítače. Součástí jeho práce je také realizace přidruženého generátoru funkcí.

Účelem obou prací je naučit se implementovat digitální osciloskop na vývojové desce systému na čipu obsahující hradlového pole a využít co nejméně komponent mimo vybranou desku. Výsledkem této části práce je tak systém, který zachycuje, zpracovává a ukládá analogový signál v digitální podobě.

2 Realizace osciloskopů

2.1 Analogový Osciloskop

I přes to, že se jedná o první variantu osciloskopu, jde o přesné a spolehlivé zařízení. Vývoj analogových osciloskopů započal v roce 1897, kdy vznikla katodová trubice CRT. V analogových osciloskopech [2] se signál vhodně vertikálně (napětově) upraví a následně je zobrazen pomocí fyzického pohybu paprsku v CRT. Tyto osciloskopy se skládají z vertikální, synchronizační, horizontální a zobrazovací části[3], jak lze vidět na obrázku 2.1.



Obr. 2.1: Zjednodušené schéma analogového osciloskopu [3] str.173

Vertikální část

Vertikální úpravy umožňují osciloskopům zobrazovat signály jejichž napětí přesahuje limity zobrazovací resp. vyhodnocovací části, nebo jsou příliš slabé pro zobrazení. Jedná se o dvě úpravy, které umožňují správné zobrazení signálu a to škálování a posun. Škálování pomocí násobení zvětšuje a dělení zmenšuje amplitudu signálu. Těmito úpravami škálování umožní měření mimo rozsah zobrazovací části. Napěťový posun přičítá určitou konstantní hodnotu napětí k signálu a posouvá jej tak na napěťové ose.

Synchronizační část

K zaměření na určitou část signálu se využívá synchronizačního signálu, tzv. triggeru, který kontroluje spouštění vykreslování signálu na obrazovku. Signál je generován, pokud synchronizační signál překročí (poklesne pod) nastavenou hodnotu napětí. Také lze generovat synchronizační signál o určité frekvenci, který umožní zobrazení signálu i při nevhodném nastavení triggeru. Určuje počáteční čas snímání.

Horizontální část

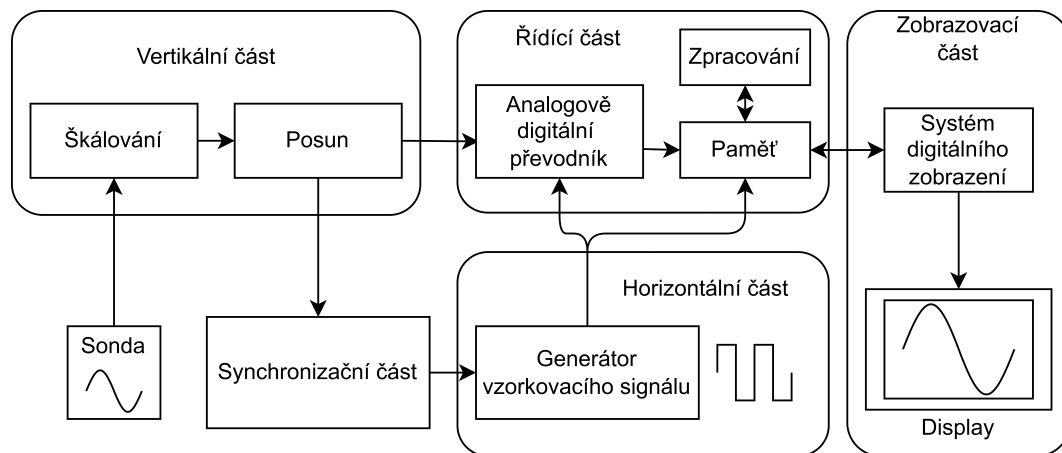
Pro zobrazení signálu se v této části generuje pilovitý signál s nastavitelnou strmostí, který určuje časové rozlišení měření. Jeho generování je spouštěno synchronizační částí, přičemž jeho nulová hodnota odpovídá počátku a může dosáhnout hodnot odpovídajícím časové pozici mimo zobrazení. Perioda tohoto signálu nemusí odpovídat zobrazovanému časovému úseku.

Zobrazovací část

Následné zobrazení signálu probíhá spojením příchozích signálů z vertikální a horizontální části. Upravený vstupní signál se vykresluje na vertikální napěťové ose, přičemž je jeho časový údaj zobrazen pomocí horizontálního signálu. Pokud dosáhne hodnota horizontálního pilovitého signálu mimo zobrazitelnou úroveň, tak byl zobrazen požadovaný časový úsek a signál se do dalšího triggeru přestává vykreslovat.

2.2 Digitální Osciloskop

Digitální osciloskopy [3] sdílí většinu komponentů s analogovými osciloskopy. Obsahují ale navíc vzorkovací systém, pomocí kterého si uloží celý průběh signálu v určitém čase do paměti a zpětně jej zobrazí. To umožňuje osciloskopu přistupovat zpětně k naměřeným datům a provádět s nimi výpočty, které by jinak nebyly možné. Zároveň se také umožňuje analyzovat mnohem větší frekvenční rozsah, protože není limitován frekvenční odezvou jako analogové osciloskopy. Dále obsahují navíc řídicí část určenou pro výpočty, ovládání a vyhodnocování stavů osciloskopu.



Obr. 2.2: Zjednodušené schéma digitálního osciloskopu [3] str.9

Řídící část

Ukládání průběhu signálu do paměti umožňuje provádět automatické operace a výpočty, které jsou zpracovány v této části. Zpracovává vstup od uživatele a připravuje data pro zobrazení.

Vertikální část

Vertikální část je téměř identická s vertikální částí analogového osciloskopu. Je ale ovládána pomocí řídicího systému, což umožňuje automatizaci. Výstup je přiveden na analogově digitální převodník, kde se signál čte a převádí do digitální podoby.

Horizontální část

Zatím co u analogového osciloskopu se v této části ovládá generace pilovitého zobrazovacího signálu, je zde vytvářen signál vzorkovací. Tento obdélníkový signál ovládá frekvenci čtení měřeného signálu a zápisu přečtených hodnot do paměti. Maximální hodnota vzorkovací frekvence určuje velikost měřitelného frekvenčního pásma.

Synchronizační část

Propojením této části s automatickým řídicím systémem jsou přidány možnosti automatického nastavení a předvzorkování.

Předvzorkování

Předvzorkování umožňuje uložení signálu ještě před samotným spuštěním. Část paměti je rezervována pro tuto funkci, je konstantně plněna daty před spuštěním triggeru a po spuštění se zápis do ní zastaví. Zůstane v ní tak uložena část signálu těsně před spuštěním.

Zobrazovací část

Zobrazení probíhá v závislosti na nastavení v řídicí části. Horizontální časové rozlišení je závislé na nastavené vzorkovací frekvenci a vertikální napěťové rozlišení na rozlišení použitého převodníku.

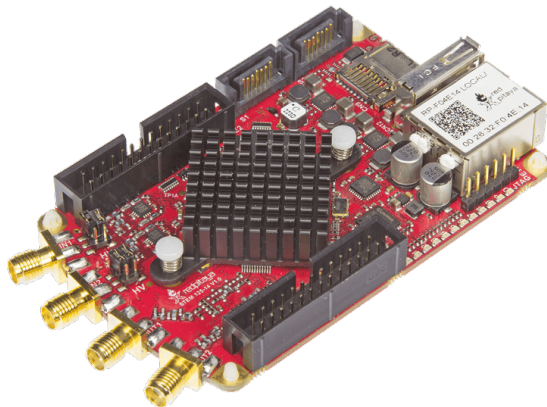
■ 2.2.1 Osciloskopy jako přídatné moduly

Jedná se o digitální osciloskopy bez zobrazovací části a uživatelského rozhraní, ovládání a zobrazování probíhá pouze přes jiné zařízení. Možnost poslání dat na jiná zařízení je získána díky digitalizaci a uložení čteného signálu. Výsledkem naší práce bude právě tento typ zařízení, kde bude osciloskop obsluhován přes počítač.

Příklady realizace:

- Red Pitaya STEMLab 125-144 [4]

Jedná se o osciloskop na obrázku 2.3 založený na systému na čipu Zynq 7010 firmy Xilinx, který je navržen jak pro laboratorní, tak pro průmyslové použití. Lze jej ovládat mnoha způsoby, například přes LabVIEW, MATLAB, Python, nebo Scilab. Vlastnosti osciloskopu STEMLab 125-14 jsou v tabulce 2.1. Produkty Red Pitaya byly inspirací pro tuto práci.



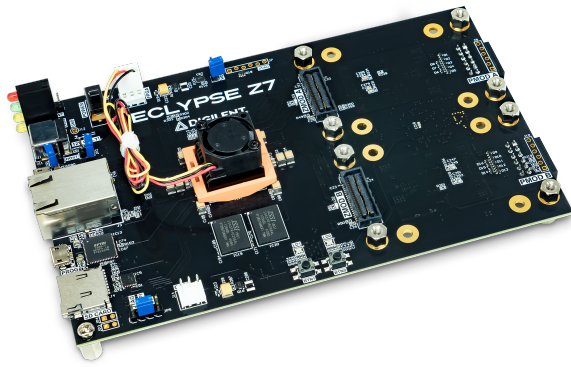
Obr. 2.3: Red Pitaya STEMLab 125-14 [4].

Tab. 2.1: Vlastnosti měřících kanálů Red Pitaya STEMLab 125-14 [4].

Počet kanálů	2
Vzorkovací rychlost	125 Ms/s
Rozsah	$\pm 1V, \pm 20V$
Rozlišení	14bit
Pásmo	0 – 60 MHz

- Eclipse Z7 [5]

Jedná se o výkonnou vývojovou desku založenou na rodině Zynq-7000. Tato deska využívá dvou Zmod (SYZYGY) konektorů, které umožňují připojení modulů precizních vysokorychlostních převodníků. Celkové schopnosti desky jsou tedy založené hlavně na připojených vysokorychlostních modulech.



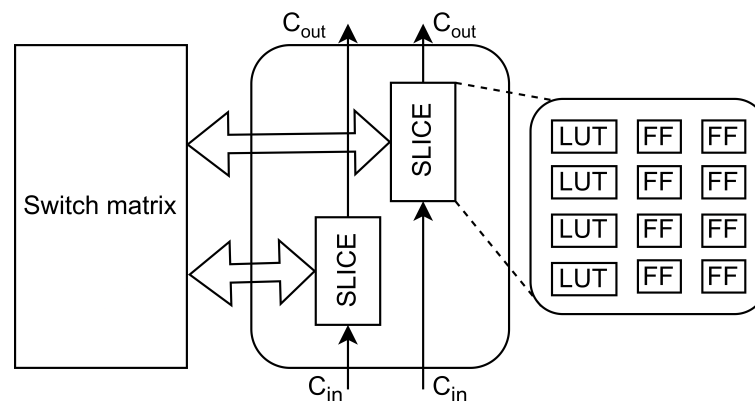
Obr. 2.4: Eclipse Z7 [5].

3 Digitální osciloskop a jeho části

3.1 Programovatelné hradlové pole

Programovatelné hradlové pole (FPGA) [6] je technologie používaná k návrhu, debugování a implementaci hardwarových řešení bez nutnosti navrhovat vlastní integrované obvody. Jedná se o pole konfigurovatelných logických bloků doplněné o paměť, vstupní a výstupní logiku, časovací obvody a další rozšíření.

Konfigurovatelný logický blok (CLB) se dále dělí na další části podle obrázku 3.1.



Obr. 3.1: Složení logického bloku v FPGA Artix®-7 [6].

- Slice
Podčást CLB obsahující prostředky pro vytvoření kombinační a sekvenční logiky
- Lookup table (LUT)
Obvod obsažený ve slicu schopný implementace logických funkcí nebo paměti. Jednotlivé LUT se mohou kombinovat a vytvářet tak složité funkce a paměti dle potřeby.
- Flip-flop (FF)
Sekvenční část obvodu obsahující resetovatelný jednobitový registr.
- Switch Matrix
Umožňuje propojení jak jednotlivých částí CLB, tak dalších CLB.
- Carry logic
Zajišťuje přenos proměnlivých signálů mezi jednotlivými slicy za pomoci řetězce multiplexerů.

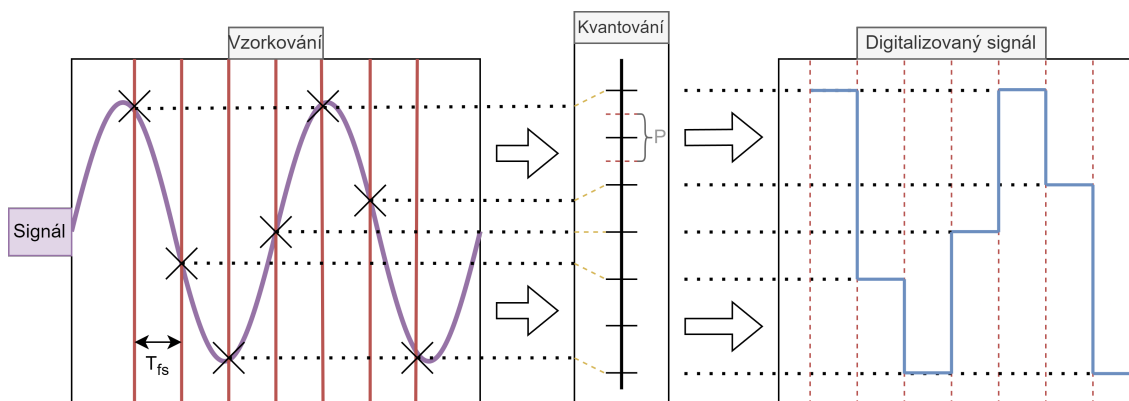
FPGA je základní stavební blok moderních osciloskopů díky své vysoké flexibilitě realizovat téměř libovolný digitální hardware. Umožňuje upravovat počet snímaných kanálů, úpravu procesů a paralelní provedení potřebných úkonů.

3.2 Systém na čipu

Systém na čipu (SoC) je termín označující integrovaný systém jehož veškerá funkcionality se nachází na jediném čipu. Tento čip tedy obsahuje jedno či více procesních jader, paměti, periferie, vysokorychlostní logiky a také propojení. Jedná se o výrazné zlepšení v efektivitě, spolehlivosti a bezpečnosti oproti systémům na tištěných spojích (PCB) a zároveň zmenšení celého systému. SoC sestávající z procesoru a FPGA usnadňuje obsluhu a vzniká efektivní platforma jak pro softwarové, tak pro hardwarové řešení.

3.3 Analogově digitální převodník

Analogově digitální převodník (ADC) [2] je elektronická součástka umožňující převod napěťové úrovně analogového (spojitého) signálu na signál digitální (diskrétní). Převod signálu na digitální podobu, neboli diskretizace, umožňuje jeho zpracování v digitální formě a výrazně zjednodušuje jejich uložení a přenos. Samotný převod probíhá ve dvou fázích jmenovitě vzorkování a následně kvantování.



Obr. 3.2: Proces převodu signálu z analogové do digitální podoby

Vzorkování je proces, při kterém se ve vzorkovací frekvenci f_s odečítají hodnoty signálu. Signál totiž nelze odečítat s nekonečnou časovou přesností, protože počítače jsou omezeny pamětí a rychlostí. f_s stanovuje množství vzorků, které ADC odečte za sekundu a tudíž i časové rozlišení signálu. Zároveň ale také určuje Nyquistovu frekvenci

$$f_{Nq} = f_s/2, \quad (3.1)$$

neboli maximální frekvenci signálu, kterou může ADC odečíst a ze čtených dat signál opět zrekonstruovat. Pokud totiž bude frekvence signálu větší, bude docházet k podvzorkování a signál nebude navzorkován v dostatečném detailu a bude zkreslen. Zkreslení způsobené podvzorkováním se nazývá aliasing.

Následné kvantování signálu je následek rozlišení ADC, tedy omezeným množstvím rozlišitelných napěťových úrovní, neboli kvantů a jejich pásem. Množství kvantů je určeno u převodníků s binárním výstupem množstvím výstupních bitů B a šířka pásma P množstvím kvant K a celkového rozsahu převodníku V podle rovnice (3.2).

$$P = \frac{V}{K} = \frac{V}{2^B}, \quad (3.2)$$

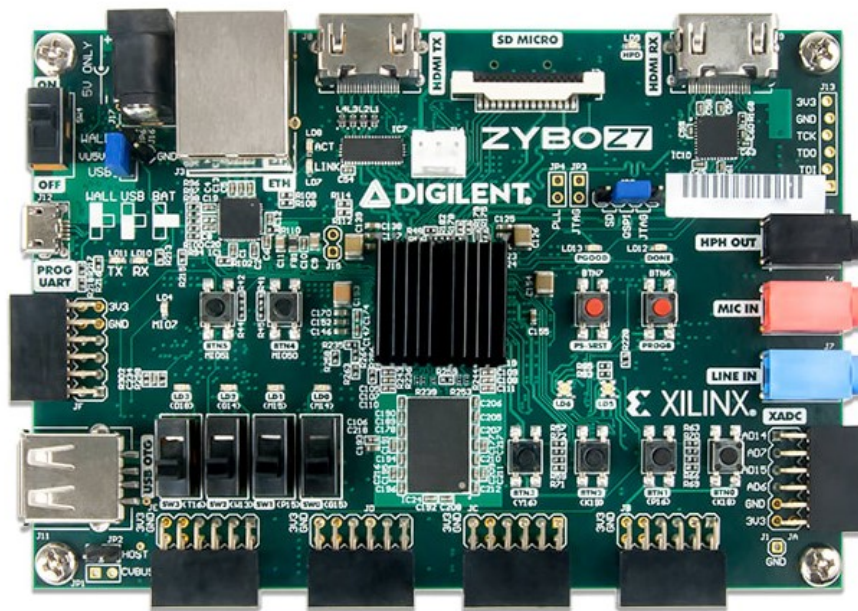
Během kvantování se navzorkované hodnoty přiřadí ke kvantu, od kterého jsou vzdálena do $\pm P/2$.

Výsledné hodnoty jsou pak úrovně kvant do kterých byly vzorky přiřazeny.

3.4 Vývojová deska Zybo-Z7

Zybo-Z7 [7][6] je deska od společnosti Digilent s velkým množstvím schopností pro vývoj a testování digitálních obvodů postavená na rodině Xilinx Zynq-7000. Z této rodiny také získává architekturu (AP SoC), neboli All Programmable System-on-chip, která propojuje FPGA logiku s procesorem ARM Cortex-A9. To umožňuje vytvoření výkonných a spolehlivých systémů, postavených i na velkém množství periférií a rozšiřujících komponent. Na desce se nachází paměťový subsystém s 16GB DDR3 RAM a vysokorychlostní paměť procesoru SRAM. Deska také disponuje, kromě dalších, rozhraními ethernet, USB, microSD slot, HDMI, Pmod a kontrolery pro sběrnice SPI, UART, I2C a CAN.

V práci využijeme model Zybo-Z7-20, obrázek 3.3, založený na čipu XC7Z020-1CLG400C, který disponuje rozšířenou pamětí a Pmod konektory. Rozdíly mezi modely Z7-20 a Z7-10 jsou v tabulce 3.1. Deska je výhodná díky své dostupnosti a přítomnosti čipu XC7Z020-1CLG400C, který obsahuje integrované ADC s dostatečnými parametry pro tuto práci.



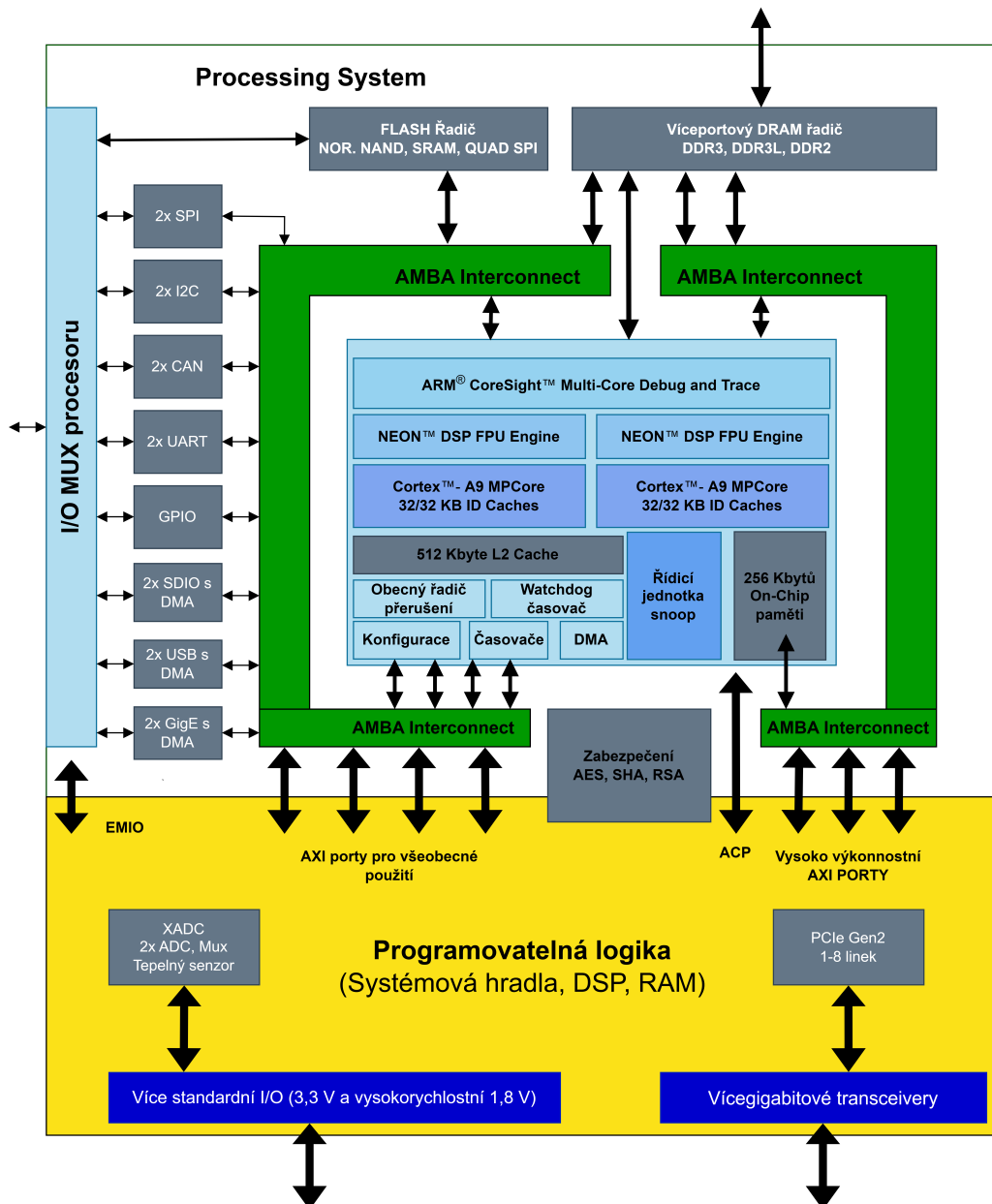
Obr. 3.3: Deska ZYBO-Z7-20 [7].

Tab. 3.1: Porovnání modelů Zybo Z7 [7].

Produktová varianta	Zybo Z7-10	Zybo Z7-20
Zynq část	XC7Z010-1CLG400C	XC7Z020-1CLG400C
Look-up tabulky (LUT)	17,600	53,200
Flip flop	35,200	106,400
Blok RAM	270 KB	630 KB
Počet Pmod portů	5	6
Konektor na ventilátor	Ne	Ano
Heatsink	Ne	Ano
Podpora HDMI CEC	Pouze TX port	TX i RX port
RGB LED	1	2

■ 3.4.1 Architektura čipu XC7Z020

Architektura SoC XC7Z020 na desce Zybo-Z7 se skládá ze dvou subsystémů, Programovatelná logika (PL) a Processing System (PS), které jsou znázorněné na obrázku 3.4.



Obr. 3.4: Architektura čipu XC7Z020-1CLG400C desky Zybo-Z7-20 [7].

To umožňuje využití třech možných konfigurací.

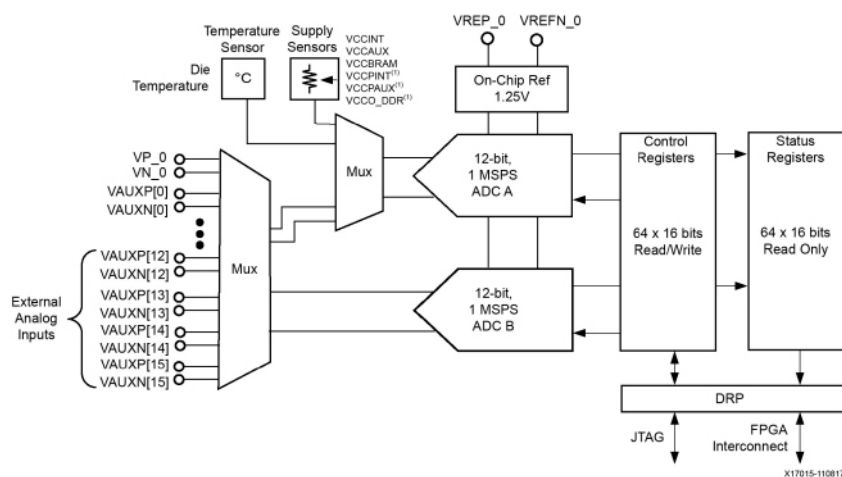
- Pouze PS: Použití dvou procesorů ARM Cortex-A9 s využitím všech integrovaných periferních řadičů (paměť a I/O) pro připojení ke zdrojům desky. V tomto případě lze trochu obecněji tvrdit, že desku provozujeme v principu jako mikrokontrolér.
- Využití pouze FPGA a připojení desky pouze přes I/O piny a integrovaných periférií PS.
- PS + PL: Využití kombinace prostředků dostupných v obou systémech.

Celý projekt využije konfiguraci PS+PL, která umožní jednoduchou implementaci

jak signálového zpracování, tak řízení. V signálové části práce je ale využito pouze PL subsystému čipu, kde se mimo jiné nachází i použitý Vnitřní ADC desky Zybo (XADC).

■ 3.4.2 XADC

XADC[8] je integrovaný blok v čípech řad produktů Artix®-7, Kintex®-7, Virtex®-7 a Zynq®-7000 obsahující dva ADC převodníky. Jedná se o všeobecné precizní převaděče s velkou škálou ovládacích módů. Ovládací módy jsou jednokanálový a sekvenční, který se dále dělí podle typu měření kanálů. Tyto typy jsou současný a kontinuální, kdy měří oba převodníky najednou, nebo pouze jeden převodník střídavě. Je určený k diagnostice desky a také k měření uživatelsky nastavitelných kanálů, má celkem šestnáct párových externích analogových vstupů. Jeho blokové schéma je na obrázku 3.5.



Obr. 3.5: Blokové schéma XADC čipu XC7Z020-1CLG400C[7].

XADC využívá párové vstupy k rozdílovému vzorkování, to mu umožňuje minimalizovat vliv šumu, který je způsobený vstupními obvody. Párových vstupů lze také využít pro vytvoření unipolární a bipolární konfigurace, neboli měření napětí vůči nule nebo vůči negativnímu vstupu páru. Při unipolární konfiguraci lze měřit napětí v rozsahu $0 - 1V$ vůči zemi a při bipolární rozdílové napětí páru v rozsahu ± 0.5 , přičemž musí napětí obou vstupů zůstat v rozsahu $0 - 1V$ vůči zemi.

Pro externí vstupy lze plně využít pouze jeden převodník, přesněji ADC-B na obrázku 3.5. ADC-A je totiž hlavně určen pro měření stavu desky a nelze jej tedy využít v dostatečné kapacitě pro tuto práci. Při realizaci osciloskopu tak bude zvolen kontinuální sekvenční mód, při kterém díky střídání vzniká fázový posun 180° pro možné prokládání kanálů. Výsledné použitelné vlastnosti jsou uvedeny v tabulce 3.2.

Tab. 3.2: Vlastnosti XADC pro měření externích kanálů [8].

Vzorkovací rychlost	1Ms/s
Rozsah	0 – 1V
Rozlišení	12bit
Šířka napětového pásma	224uV

Využití XADC odebrává nutnost využití externího převodníku, což koresponduje s cílem práce použít co nejméně rozšíření zvolené desky. Vzhledem k tomu, že splňuje potřebné požadavky pro snímání signálu do 500kHz, je vhodný pro řešení této práce.

3.5 Návrhový systém Vivado

The Xilinx® Vivado® Design Suite (Vivado) [9] je prostředí navržené pro zvýšení produktivity v navrhovacích, integrovacích a implementačních systémech, které používají, kromě mnoha dalších, architekturu Zynq®-7000 SoC. Zařízení Xilinx® jsou v současné době velmi rozsáhlé a obsahují množství různých technologií, od paměťových modulů, mikroprocesorů, analogových směšovačů po rychlostní IO (In-Out) konektory. Tato komplexní zařízení mají složité návrhové podmínky, které je potřeba dodržovat. Prostředí Vivado umožňuje automatickou kontrolu těchto podmínek.

Vivado poskytuje možnosti návrhové analýzy ve všech stádiích vývoje a automatické nástroje schopné optimalizovat vlastnosti návrhu. Mezi tyto automaticky optimalizované vlastnosti patří například délka spojů, časování, spotřeba energie a rozmístění. Díky tomuto souboru optimalizačních a analytických nástrojů se drasticky urychluje vývoj a snižuje počet návrhových iterací do plně funkčního produktu.

Vivado poskytuje bloky intelektuálního vlastnictví (Intellectual Property blocks IP) [10] a jejich využití v návrhovém postupu, vkládání IP bloků z různých zdrojů. Je možné vytvářet jak vlastní IP, tak i využívat již vytvořené IP z katalogu Vivado, kde ale některé pokročilé IP jsou přístupné pouze za poplatek.

3.5.1 Jazyk pro popis hardwaru

Jazyky pro popis hardwaru (HDL) (Hardware Description Language) [11] [6] byly zavedeny jako způsob popisu funkce digitálních obvodů, který nebyl vázán na to, jakým způsobem bude obvod fyzicky realizován. Tento popis zpracovávají programy zvané syntetizátory schopné transformovat návrh do struktury tvořené zapojením knihovnických prvků (bloků) dané technologie. Vznikly dva hlavní jazyky HDL, jeden vyvinut pro soukromý průmysl nazývaný Verilog® a druhý za podpory vlády a specifikovaný standardem IEEE jménem VHDL. Oba jazyky jsou si podobné vzhledem i aplikací a oba mají své relativní výhody. Po zvládnutí jednoho z těchto jazyků lze druhý rychle přijmout. V této práci je využit jazyk Verilog.

Úrovně abstrakce návrhu

HDL disponují třemi úrovněmi abstrakce návrhu. Čím je úroveň abstraktnější, tím menší je kontrola nad detaily, ale snáze se v ní navrhuje. Směrem shora dolů rozlišujeme tyto úrovně:

1. Behaviorální:

Vytváří se algoritmický popis chování obvodu a jeho implementace na FPGA je ponechána na syntetizátoru. Soustředěna na jednoduchost a rychlost návrhu.

2. Úroveň hradel:

Popisuje zapojení jednotlivých hradel v obvodu, ale ponechává jejich implementaci a umístění na syntetizátoru.

3. Strukturální:

Návrh probíhá na úrovni jednotlivých komponent FPGA uvedených v kapitole 3.1. Umožňuje kompletní kontrolu nad všemi částmi návrhu.

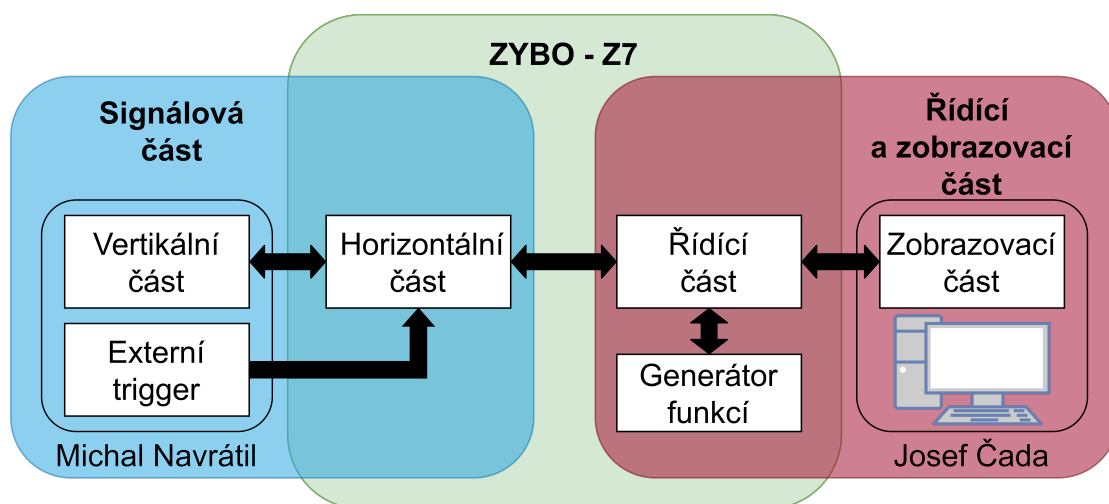
Simulace

Důležitou schopností systémů Vivado je verifikace návrhu časovou simulací odezev systému na základě vytvořených stimulů. To je opět možné na třech úrovních, ty umožňují analýzu chování návrhu v různých krocích. Simulace hradlové úrovně je vhodná pro otestování korektnosti vytvořeného návrhu. Simulace po syntéze zobrazuje chování návrhu při jeho konstrukci z prostředků na FPGA. A následně implementační simulace hraničí s emulací vytvořeného návrhu přímo na FPGA. Lze tedy návrh otestovat ještě před jeho nahráním na FPGA a jednoduše odhalit problémy v logickém postupu a časování.

4 Naše koncepce

Základním kamenem naší koncepce je deska Zybo-Z7-20, jejíž detaily jsou popsány v kapitole 3.4. Vzhledem k rozhodnutí využít co nejvíce funkcí na desce, byl zvolen jako hlavní převodník vnitřní ADC čipu XC7Z020-1CLG400C této desky. Využití tohoto převodníku postačí pro realizaci osciloskopu s pásmem 500kHz , pomocí prokládání vzorků jednotlivých kanálů.

Zybo-Z7-20 dovoluje návrh pouze digitálních částí osciloskopu, bude tedy rozšířena o plošný spoj obsahující vertikální část a externí trigger osciloskopu a program vytvořený pomocí LabVIEW na počítači pro zobrazování a uživatelský vstup. Celkové schéma s rozdělením pracovních částí je ilustrováno na obrázku 4.1.



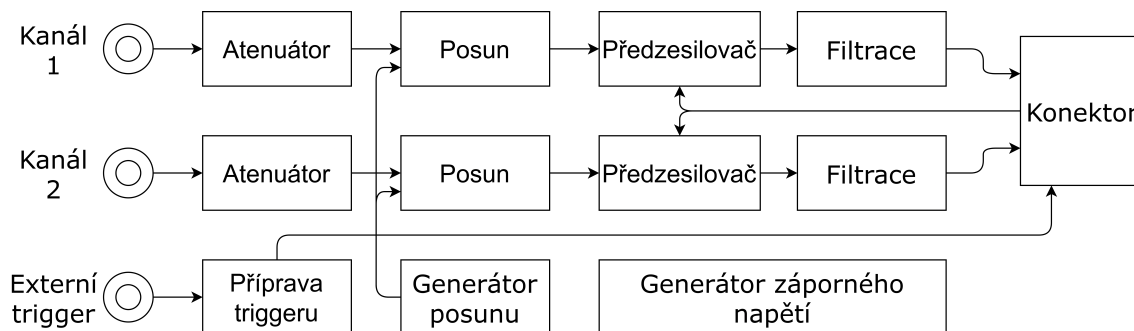
Obr. 4.1: Celkové schéma práce

V této práci je uveden návrh vertikální části a externího triggeru osciloskopu na rozšiřující plošný spoj pro desku Zybo-Z7-20 v analogové části a v digitální části návrh hardwarového souboru pro XC7Z020-1CLG400C obsahující horizontální část osciloskopu a vzorkovací mechanismus.

5 Analogová část

5.1 Koncept

Analogová část neboli vertikální část vstupu realizovaného osciloskopu a externího triggeru je uskutečněna jako rozšiřující deska tištěných spojů na konektor Pmod desky ZYBO-Z7. Tištěný spoj (PCB) je nutné vytvořit, deska ZYBO-Z7-20 totiž nemá potřebné komponenty pro analogové zpracování signálu a nelze ji tedy využít k vytvoření vertikální části osciloskopu. Po vytvoření desce je požadováno několik vlastností, které získáme ze zadání práce a charakteristik desky ZYBO - Z7. Tyto vlastnosti jsou uvedeny v tabulce 5.1. Pro maximální rozsah, podle inspirace z RedPitaya, bylo zvoleno $\pm 20V$. Pro tento účel bylo navrženo PCB, jejíž blokové schéma je na obrázku 5.1. Fotoprint a schéma desky jsou uvedeny v přílohách.



Obr. 5.1: Schéma analogové části.

Tab. 5.1: Navržené vlastnosti rozšiřující desky.

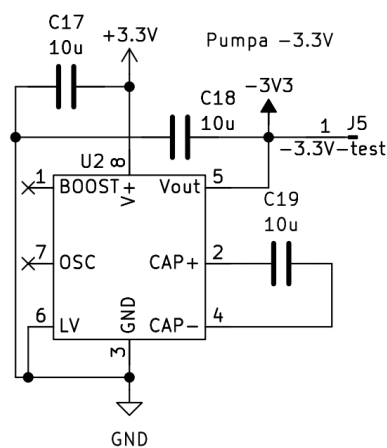
Napájecí napětí desky	3.3V
Symetrické napájení zesilovačů	$\pm 3.3V$
Rozsah výstupního napětí	0 – 1V
Rozsah vstupního napětí	$\pm 20V$
Šířka pásma	0 – 500kHz
Logická úroveň	3.3V
Počet kanálů	2
Externí trigger	ANO

Oba kanály jsou rozděleny do čtyř částí. Signál přichází sondou do atenuátoru, který funguje jako vstupní obvod a zároveň vydělí signál podle nastavení. Dále je signál napětově posunut v bloku posunu, což umožňuje přesun nulové hodnoty signálu na požadovanou napětovou úroveň. Signál je poté možné v předzesilovači opět zesílit pro lepší kontrolu nad rozsahem. Finální krok je filtrace signálu před jeho vstupem do XADC. Blok přípravy triggeru převádí externí signál spouštění vytvořený mimo samotný osciloskop na vhodný signál pro osciloskop. Generátor záporného napětí vytváří symetrické napájení pro operační zesilovače a generátor posunu nastavuje stejnosměrné napětí posouvající příchozí signál v bloku posunu.

5.2 Návrh

5.2.1 Napájení

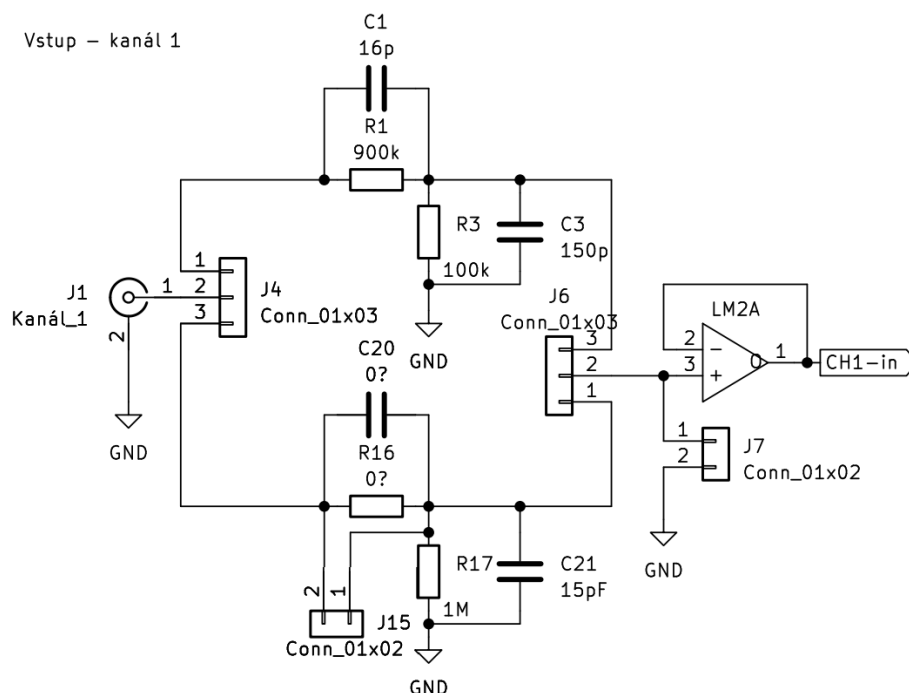
Deska bude napájena přímo z desky ZYBO napětím 3.3V. To znamená že je ji třeba doplnit o zdroj záporného napětí pro symetrické napájení operačních zesilovačů. Jako výchozí zapojení zdroje záporného napětí $-3.3V$ bylo zvoleno vzorové zapojení invertoru z datasheetu zvolené nábojové pumpy TC7660H [12]. Toto zapojení bylo rozšířeno o stabilizační kapacitor pro kladný zdroj napětí do podoby obrázku 5.2.



Obr. 5.2: Schéma zdroje záporného napětí.

5.2.2 Atenuátor

Blok atenuátoru funguje jako vstupní obvod, je tedy nutné pro něj stanovit navíc určitá pravidla. Navržené zapojení je na obrázku 5.3.



Obr. 5.3: Schéma atenuátoru kanálu 1.

Vstupní obvod

Pro přijímání signálu z měřeného zdroje jsou stanovena určitá pravidla. Měřený zdroj signálu je nutné stabilně zatěžovat a nejlépe impedančně oddělit od samotného ADC. Tímto způsobem se minimalizuje zkreslení signálu způsobené jeho přenosem a převodem.

Podle [13] je standardní vstupní odpor osciloskopu stanoven $R_{in} = 1M\Omega$ a kapacita $C_{in} = 15\text{--}20pF$. Je tedy potřeba zaručit dané hodnoty na vstupním obvodu osciloskopu a následně jej impedančně oddělit, aby jej zbylé obvody analogové části neovlivňovaly.

Pro splnění těchto podmínek je využit atenuátor následovaný bufferem.

Samotný návrh

Atenuátor[14] je ve své podstatě variabilní kompenzovaný napěťový dělič, je tedy vhodný pro vytvoření upravitelného rozsahu měření. To umožní přesné měření jak v plném rozsahu, tak měření slabých signálů. Atenuátory mohou být konstruovány několika způsoby, jako jedno z dělení se dá považovat sériové a paralelní provedení.

V sériovém provedení stačí k ovládní celého atenuátoru pouze ovládací prvek na výstupu a to přepínač, relé nebo jiný prvek schopný výběru propojení korespondujícího s požadovaným dělením vstupního signálu. Nevýhodou tohoto provedení je ale vysoká náročnost na výpočet požadovaných vlastností komponentů a citlivost na chyby všech součástí.

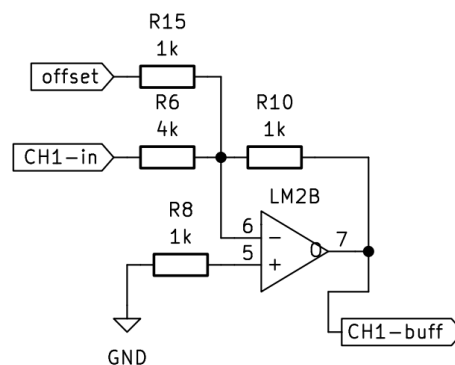
Proto se v tomto řešení použilo paralelní provedení. Toto provedení sice požaduje ovládací prvek jak na vstupu, tak na výstupu, ale díky tomuto odpojení jednotlivých

dělicích úrovní se chyby použitých součástek nesčítají napříč jednotlivými úrovněmi. Výsledná podoba atenuátoru byla inspirována zapojením používaném v produktech RedPitaya [4]. Jedná se o dvoustupňový paralelní vyvážený atenuátor s výstupními stupni dělení 40 a 4 pro výsledné rozsahy ± 20 a ± 2 . Samotný atenuátor ale bude mít vlastní stupně dělení 10 a 1 a je zakončen bufferem (sledovačem), který impedančně izoluje zdroj signálu od dalšího zpracování. Signál se vydělí čtyřmi až v kroku posunu, aby se co nejvíce omezil vliv šumu z bufferu. V tomto projektu bylo tedy zvoleno paralelní dvoustupňové řešení, zobrazené na obrázku 5.3.

Na desku, dle schématu atenuátoru na obrázku 5.3, je přidána navíc možnost uzměnění vstupu. Dále je stupeň dělení 1 vytvořen s možností úpravy velikosti, kde nulové součástky jsou rozpojeny, ale mohou být nahrazeny pro žádaný poměr dělení při rozpojení jumperu 15. Pro buffer obou kanálů bylo využito čipu ADA4841-2 [15]. Druhý operační zesilovač, který je na čipu umístěn, je využit pro stejnosměrný posun signálu popsany v kapitole 5.2.3.

■ 5.2.3 Stejnosměrný posun vstupu

Stejnosměrný posun vstupu signálu je implementován pomocí zesilovače v zapojení invertujícího sčítače napětí. Invertující zapojení je vhodné kvůli vlastnostem vybraného předzesilovače, které je také invertující. Další výhodou sčítače je možnost sčítání v poměrech daných použitými rezistory. Toho je využito k dělení signálu čtyřmi, které sem bylo přesunuto z atenuátoru pro minimalizaci šumu. Výsledné zapojení je zobrazené na obrázku 5.4



Obr. 5.4: Schéma posunu kanálu.

Toto zapojení sčítá napětí signálu a posunu v poměru

$$U_{posunute} = U_{posun} \cdot \frac{R_{10}}{R_{15}} + U_{signal} \cdot \frac{R_{10}}{R_6} = U_{posun} + \frac{U_{signal}}{4}, \quad (5.1)$$

, kde U_{posun} je napětí posunu (offset) generované jednoduchým sledovačem napětí na děliči a $U_{posunute}$ je napětí posunutého signálu. Zároveň je do zapojení přidán rezistor R_8 , který kompenzuje vliv vstupních proudů zesilovače a zvyšuje tak přesnost součtu.

■ 5.2.4 Předzesilovač

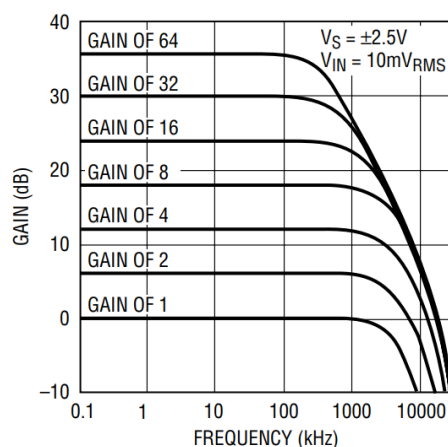
Ne všechny signály dokáží využít celý rozsah jednotlivých stupňů dělení atenuátoru, je tedy vhodné přidat možnost opětovného zesílení signálu, pro lepší využití rozsahu převodníku XADC. Je třeba použít obvod schopný měnit své zesílení pro maximální využití rozlišení XADC. K tomuto účelu je možné využít obvod programovatelného zesilovače napětí, který lze ovládat pomocí sběrnice přímo z desky ZYBO.

Programovatelný zesilovač napětí

Programovatelný zesilovač napětí (PGA) je obvod vytvořený na základě zesilovače a napěťového děliče, schopný měnit zesílení vstupního signálu. Zesílení tohoto obvodu je závislé na binární hodnotě, která je podle modelu dodána přímo nebo pomocí komunikační sběrnice.

Obvod PGA je schopen regulovat zesílení vstupního signálu, v případě osciloskopu tedy měnit rozsah měření. Bylo využito PGA LTC6911-2 [16]. Nejedná se o optimální čip pro tento projekt, ale díky nedostatku čipů v současné době, bylo řešení upraveno. Tento čip poskytuje pouze možnosti zesílení signálu, veškeré dělení signálu tedy musí proběhnout v jiných částech obvodu. Další z důvodů úpravy je komunikace pomocí jednosměrné sběrnice SPI, je tedy možné že se nepodaří navázat spojení s čipem.

Pro jednotlivá zesílení má LTC6911-2 frekvenční charakteristiky podle grafu na obrázku 5.5. Pro maximální frekvenci realizovaného osciloskopu 500kHz z tohoto grafu vyplývá maximální použitelné zesílení $G = 16$. To je více než dostatečné zesílení vzhledem k velikosti stupňů atenuátoru.

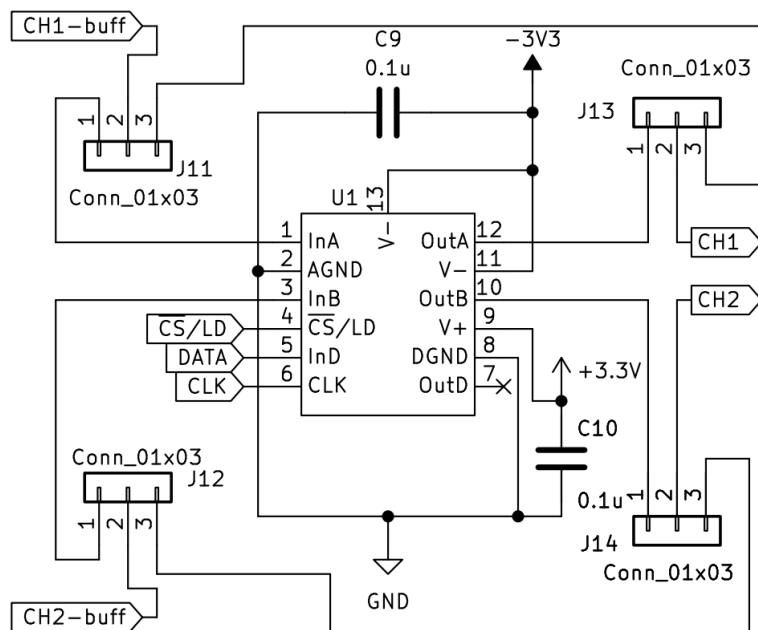


Obr. 5.5: Frekvenční charakteristiky jednotlivých zesílení LTC6911-2[16].

Samotný návrh

Pro použité PGA je použito doporučené zapojení s přidanou možností obejít čip PGA, které je zobrazené na obrázku 5.6. Před a za čip PGA jsou doplněny konektory pro

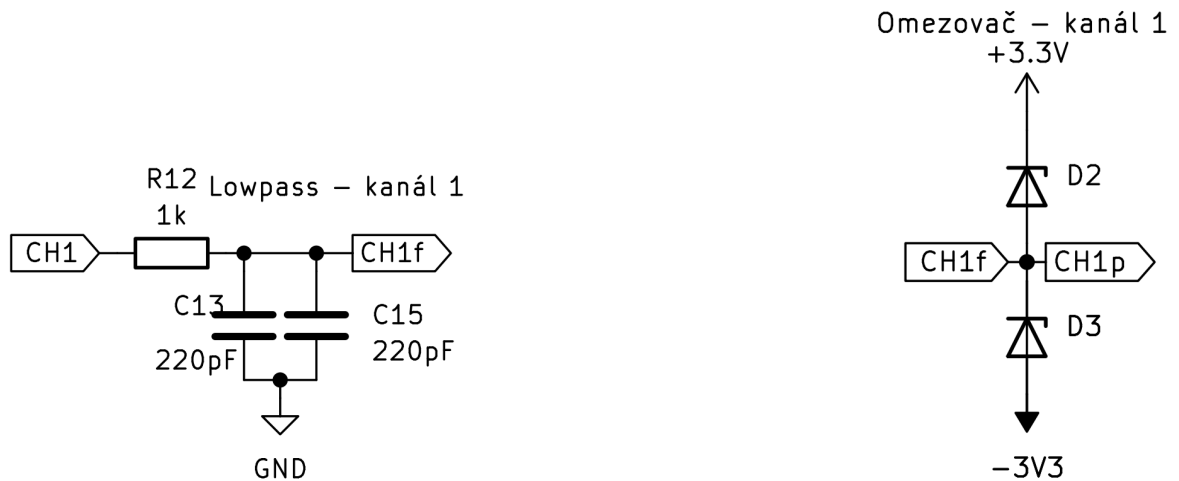
jumperry, umožňující použití či obejití čipu. Jumperry byly přidány pro možnost funkce desky i pokud se čip poškodí, nebo se nepodaří navázat komunikaci. Výstup této části je pak přes filtraci a ochranu naveden na vstup XADC a sběrnice SPI je přivedena přímo na konektor desky ZYBO.



Obr. 5.6: Schéma zapojení PGA.

■ 5.2.5 Ochrana

Ochranné prvky jsou rozděleny na dvě části, napětovou ochranu XADC a antialiasing. Tyto části jsou zobrazené na obrázku zobrazené na obrázku 5.7.



Obr. 5.7: Ochranné prvky kanálu. V levo filtr a v pravo přepětová ochrana.

Přepětová ochrana

Podle kapitoly 5.1 je jasné, že je potřeba omezit výstupní napětí do rozsahu $0 - 1V$. Nejjednodušší způsob omezení rozsahu napětí lze dosáhnout pomocí ochranných diod. V jednoduchém zapojení ochranných diod, kde se dvě zenerovy diody zapojí do série v závěrném směru mezi kladné a záporné napájecí napětí a signál je přiveden mezi tyto diody. Pro takový omezovač je nutné dopočítat velikost zenerova napětí jednotlivých diod. Víme, že hranice rozmezí signálu jsou $U_{S+} = 0, U_{S-} = 1V$ a napájecí napětí je $U_{\pm} = \pm 3,3V$. Z těchto hodnot lze vyjádřit rovnice

$$U_{ZD-} = U_+ - U_{S+}, U_{ZD+} = U_{S-} - U_-, \quad (5.2)$$

kteří určují zenerovo napětí diody držící spodní hranici $U_{ZD-} = 3.3V$ a diody horní hranice $U_{ZD+} = 4.3V$.

Lepší možností je použití shottkyho diod nebo antistatické ochrany. Tyto prvky se použijí ve stejném zapojení jako zenerovy diody, ale mezi kladné napájení a zemi.

Antialiasing

Další potřebný ochranný prvek je dolní propust. Jelikož má XADC omezenou vzorkovací frekvenci, je podle [3] a vzorkovacího teoremu omezena maximální frekvence Nyquistovou frekvencí f_{Nq} (3.1). Je tedy třeba navrhnout filtr omezující maximální

frekvenci. Jednotlivé kanály disponují poloviční vzorkovací frekvencí, ale jejich prokládáním můžeme opět získat maximální vzorkovací frekvenci. Bude tedy navržen pro celkové požadované pásmo osciloskopu.

K navržení filtru dolní propusti byla použita velikost resistoru $R = 1k\Omega$. Dále víme maximální žádanou frekvenci $500kHz$ ze zadání práce, vzhledem k náběhu tlumení reálného filtru nastavíme jeho mezní frekvenci na $f_c = 350kHz$. Tyto hodnoty následně dosadíme do rovnice mezní frekvence dolní propusti [17]

$$f_c = \frac{1}{2\pi \cdot R \cdot C} \Rightarrow C = \frac{1}{2\pi \cdot R \cdot f_c}, \quad (5.3)$$

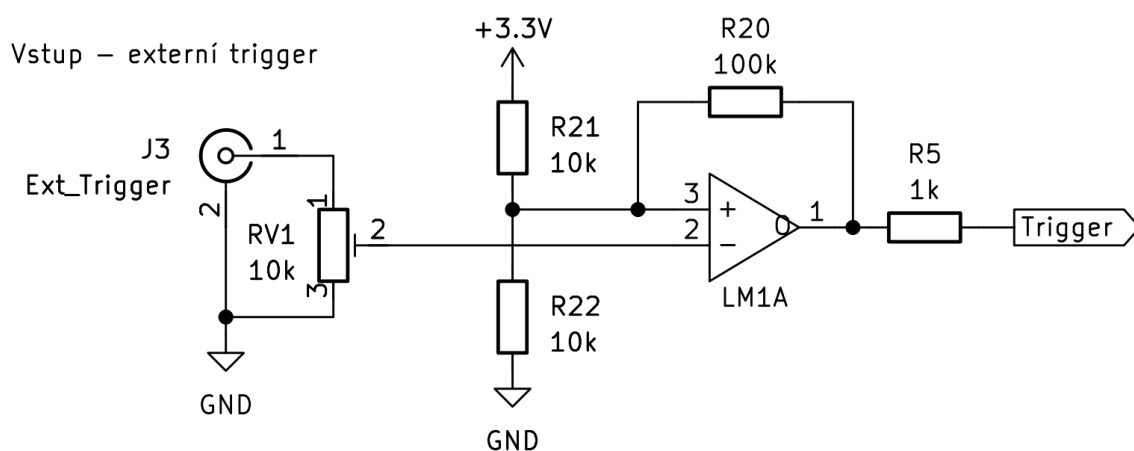
kde C je potřebná kapacita k vytvoření filtru. Výsledkem rovnice je po zaokrouhlení na realizovatelnou hodnotu $C = 440pF$ odpovídající $f_c = 360kHz$.

■ 5.2.6 Externí trigger

Externí trigger umožňuje spouštění vzorkování osciloskopu pomocí signálu vytvořeného mimo něj. Tento signál ale nemusí být digitální, nebo může pracovat na jiné napěťové úrovni. Je vhodné vytvořit obvod schopný převádět signály s různými vlastnostmi na signál s logickou úrovní danou požadavky obvodu podle tabulky 5.1.

Tohoto efektu lze docílit vytvořením nastavitelného klopného obvodu, přesněji invertujícího hysterezního komparátoru. Toto zapojení odděluje vstupní signál od generovaného signálu a lze u něj upravit spouštěcí hladiny, je tedy ideální pro potřeby této části obvodu.

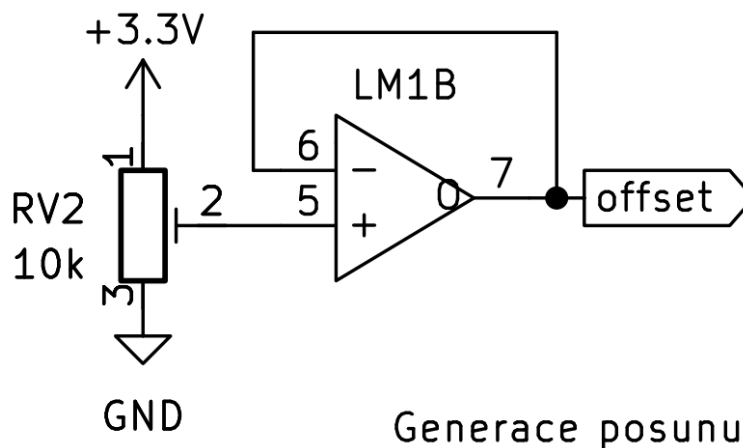
Pro vstup externího triggeru je vytvořen inverzní Schmittův klopný obvod 5.8, který je symetrický okolo $\frac{U_+}{2}$. Toho je docíleno napěťovým děličem generujícím referenční napětí. Na obrázku je také vidět potenciometr RV1, pomocí kterého se upravuje histereze a prahové napětí celého obvodu. Trigger generovaný tímto způsobem je invertovaný.



Obr. 5.8: Schéma obvodu externího triggeru.

Na výstupu je přidán ochranný rezistor tlumící skoky zesilovače při přepínání. Použitý operační zesilovač je připojený pouze ke kladnému napájení, zamezuje se tak přenosu záporného napětí na desku Zybo - Z7.

■ 5.2.7 Generování napěťového posunu



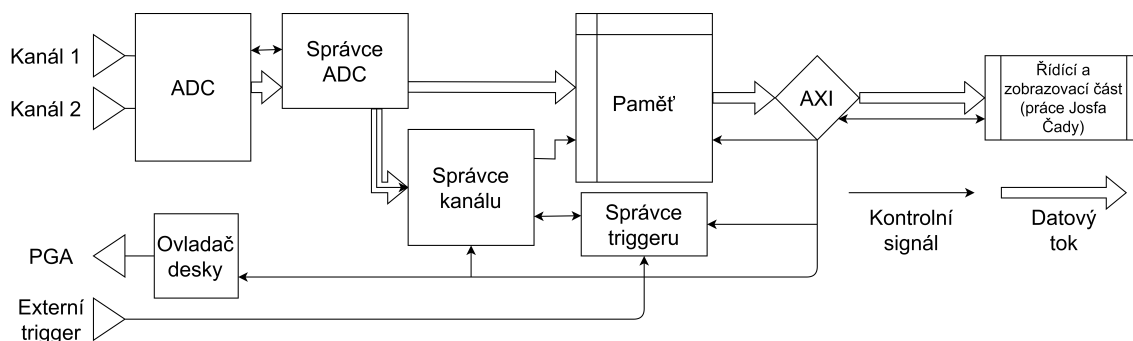
Obr. 5.9: Schéma generátoru napěťového posunu.

Generování posunu je vytvořeno pomocí jednoduchého napěťového děliče a sledovače. Na obrázku 5.9 je potenciometr RV2 použit k nastavení požadovaného posunového napětí. Toto napětí je následně přivedeno na sledovač, který odděluje dělič vzniklý na RV2 od zátěže a udržuje tak stálé napětí. Posun obou kanálů je ovládán jedním generátorem, osciloskopy mají posun kanálů nezávislý, ale v rámci prototypování a testování byl implementován společný generátor. Obvod sdílí čip operačního zesilovače s externím triggerem.

6 Digitální část

6.1 Koncept

Z kapitoly o XADC víme, že máme k dispozici jeden ADC a jeho vzorkovací rychlost $1Ms/s$. Ze zadání ale plyne, že je potřeba vytvořit dvoukanalový osciloskop s šířkou pásma $0 - 500kHz$. Bude tedy nejen nutné vytvořit obvod schopný snímat dva kanály pomocí jednoho ADC, ale také vytvořit možnost proložení jednotlivých kanálů pro dosažení zadaného pásma. Pokud by byly oba kanály snímány zvlášť, efektivní vzorkovací rychlost jednotlivých kanálů by byla rovna polovině celkové neboli $500Ks/s$ a nesplnili bychom vzorkovací theorem pro požadované pásmo. Pro tento účel byl vytvořen systém, jehož blokové schéma je zobrazeno na obrázku 6.1.



Obr. 6.1: Blokové schéma digitální části.

Data budou čtena z ADC pomocí správce ADC a budou oddělena do odpovídajícího kanálu. Následně správce kanálu zkontroluje stav snímání a podle něj uloží získaná data do paměti. Z paměti lze uložená data získat pro další zpracování v řídicí a zobrazovací části. Obvod také disponuje správcem triggeru, který zajišťuje synchronizaci kanálů a ovladačem desky pro správu zesílení v analogové části.

6.2 Použité bloky Vivado

Tyto bloky IP byly vytvořeny pomocí vnitřních funkcí prostředí Vivado a hardwarových vlastností desky ZYBO-Z7. Umožňují rychlé a jednoduché používání jednotlivých

periferií a komponent na desce. Jedná se jak o bloky ovládající periferie a komponenty FPGA, tak o předem připravené funkční bloky.

■ 6.2.1 Processing system

Processing system IP[18] je propojovací logika mezi FPGA a procesorem na daném SoC. Umožňuje tak rychlé a jednoduché propojení mezi vytvořeným návrhem a procesorem pro možnou komunikaci se softwarem. Tento projekt využije Processing System 7, který je specificky navržený pro rodinu Zynq-7000, se kterou pracujeme.

Tento blok poskytuje master konektor Advanced Extensible Interface pro komunikaci s FPGA. Pomocí tohoto bloku se budou generovat potřebné synchronizované hodiny pro obsluhu obvodu a bude zajišťovat komunikaci s řídicí a komunikační částí. Dále se nastaví žádané periferie procesoru, v tomto případě UART-1 pro komunikaci s počítačem. Ve schématu 6.1 je tento blok pod názvem "Řídicí a zobrazovací část".

■ 6.2.2 Advanced Extensible Interface

Advanced Extensible Interface (AXI) [19] je interface protokol, který vyvinula společnost ARM a je součástí standartu Advanced Microcontroller Bus Architecture. AXI je navrženo tak, aby umožňovalo rychlou a efektivní komunikaci mezi různými periferními jednotkami a moduly v elektronických systémech.

AXI Interconnect

Propojovací rozhraní AXI Interconnect IP propojuje jedno nebo více paměťově mapovaných zařízení AXI Master s jedním nebo více paměťově mapovanými zařízeními Slave. Tuto vlastnost rozhraní využijeme k propojení vytvořeného čtecího obvodu se zbylými systémy osciloskopu. Jsou přes něj přiváděna nastavení jednotlivých kanálů, ale také odváděna naměřená data a stavové signály do řídicího systému. Nachází se ve schématu 6.1 jako blok "AXI".

AXI GPIO

AXI GPIO je paměťově mapované obousměrné komunikační rozhraní pro převod AXI sběrnice na všeobecné obousměrné rozhraní. Umožňuje rozdělení dat získaných ze sběrnice na jednotlivé signály. Jeden blok je schopen adresovat až 64 portů ve dvou bankách. Ve schématu 6.1 je zahrnut v bloku "AXI".

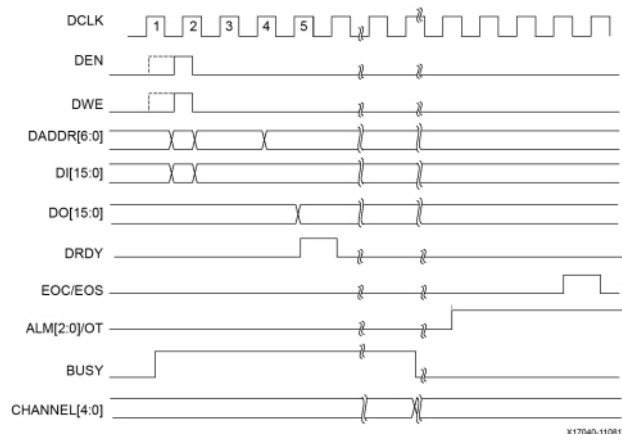
■ 6.2.3 XADC Wizard

XADC Wizard[20] je modul generující IP určené pro komunikaci s XADC. Generuje jej specificky podle zadaných požadavků na styl komunikace a ovládání XADC. Je zároveň schopný nastavit či deaktivovat jednotlivé kanály.

Je použit k nastavení XADC do módu nezávislého ADC a připravení použitých kanálů na snímání. XADC nastavíme na komunikaci DRP, což je komunikační rozhraní

pro FPGA, dále mod nezávislé ADC, který umožní plné použití převodníku pro čtení mimo čip a nastavíme kontinuální měření pro eliminaci zpoždění převodu ovládací logikou. Kontinuální měření neočekává signál pro spuštění dalšího měření a zahajuje při změně kanálu. Využijeme kanálů 6 a 7, které mají výhodné pozice na XADC Pmod konektoru.

Ve schématu 6.1 je pojmenován "ADC". Protokol DRP zobrazen na obrázku 6.2.



Obr. 6.2: Časování komunikačního protokolu drp pro XADC.

■ 6.2.4 Block Memory Generátor

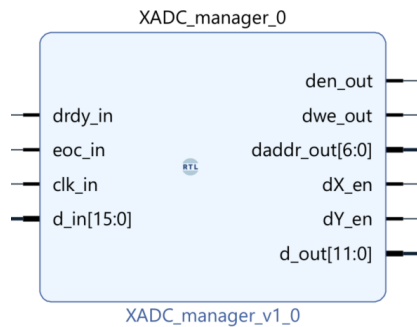
Block Memory Generátor[21] je modul schopný vytvářet virtuální moduly paměti v paměti systému. Dokáže vytvářet IP bloky paměti s zadatelnou délkou slov a velikosti a vytvořit k nim jednoduše použitelné rozhraní.

Je použit k vytvoření paměťových bloků s dvěma rozhraními pro čtecí a řídicí[1] část. Každý kanál má svůj vlastní paměťový blok, na schématu 6.1 je nazván "Paměť".

6.3 Vlastní IP bloky

■ 6.3.1 Správce XADC

Použití IP XADC Wizard sice zjednoduší obsluhu XADC, ale nevytváří přímo ovládací logiku, kterou je tedy potřeba dovytvořit. Pro ovládání XADC bude použit přímý komunikační protokol podle kapitoly 6.2.3. Vytvořený blok 6.3 přijímá signály hodin `clk_in`, signál připravení dat `drdy_in`, konce cyklu převodníku `eoc_in` a dat z převodníku `d_in`. Vysílá signály a svazek signálů pro obsluhu převodníku a výběru kanálu `den_out`, `dwe_out` a `daddr_out` doplněné o svazek dat `d_out` a signály označení aktivního kanálu `dX_en` a `dY_en`, kde X odpovídá prvnímu a Y druhému kanálu.



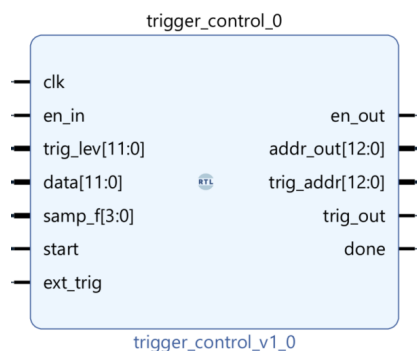
Obr. 6.3: Blok správce XADC.

Správce XADC adresuje jednotlivé aktivní kanály XADC a předává čtené hodnoty pro zpracování a uložení dalším prvkům zapojení. Tento obvod je synchronizovaný pomocí hlavních hodin desky ZYBO `clk_in` a `drd_in` signálu XADC, což mu umožňuje přesné přepínání a předávání dat s maximální rychlostí bez rizika přechodných stavů. Data, která čte z XADC, rozděluje na dva proudy podle aktivace signálů `dX_en` a `dY_en`.

Kód této části je v přílohách pod názvem "XADC_MANAGER".

■ 6.3.2 Správce kanálu

V tomto bloku implementujeme logiku spouštění triggeru, úpravu vzorkovací frekvence, informační signály pro zbytek osciloskopu a ukládání pro jednotlivé kanály. V blokové podobě znázorněn na obrázku 6.4. Přijímá jednotlivé nastavení kanálu jako je úroveň triggeru `trig_lev`, dělitele vzorkovací frekvence `samp_f`, signál zapnutí vzorkování `start`, přijímá také signály příchozích dat `en_in`, hodinový signál `clk` a signál externího spuštění `ext_trig`. Výstupy jsou signál `en_out` a svazek `addr_out` obsluhující zápis do paměti a stavové signály `trig_out`, `done` a svazek `trig_addr`, které předávají stav zbylým prvkům.



Obr. 6.4: Blok správce kanálu.

Vzorkování

Rychlost vzorkování převodníku pro jeden kanál je $500k\text{Samplů}$, to ale není vždy výhodné, je proto výhodné implementovat dělič samplovacího signálu, který bude ovládán signálem `samp_f`. Tímto způsobem dostáváme novou frekvenci

$$f = \frac{f_s}{\text{samp_f} + 1}, \quad (6.1)$$

kde f_s je vzorkovací frekvence XADC (frekvence `en_in` signálu). Díky tomuto zapojení je možné využít i nulovou hodnotu dělitele bez způsobení problémového stavu (dělení nulou) a využít tak celý rozsah ovládání přes binární hodnotu.

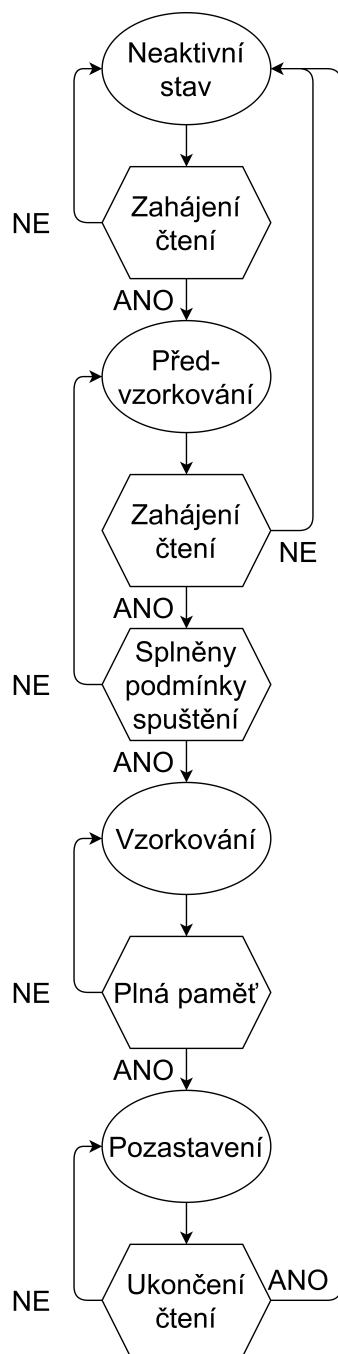
Trigger

Logika triggeru musí mít možnost nastavení úrovně triggeru, vypnutí triggeru, předvzorkování a externího triggeru. Implementace všech těchto vlastností je silně propojená, protože se navzájem přímo ovlivňují. Předvzorkování lze zajistit zahájením ukládání již při příchozím signálu `start`. Úroveň triggeru lze nastavit svazkem `trig_lev`. Pokud je aktuální vzorek větší a předchozí vzorek menší, tak trigger spustí vzorkování. Touto vlastností vytvoříme i možnost vypnutí triggeru, pokud nastavíme dodanou hodnotu na maximální velikost, trigger se nikdy neaktivuje. Jako poslední část logiky triggeru je externí trigger, který umožní spuštění dle potřeby signálem `ext_trig`. Pokud bude trigger spuštěn vyšle blok signál `trig_out` oznamující spuštění vzorkování.

Ukládání

Ukládání dat je ovládáno v tomto bloku z důvodu rozdělení dat na předvzorkované a hlavní vzorkované. Je tedy ovládáno v závislosti na triggeru. V části pro předvzorkovaná data se bude ukládat cyklicky a v hlavních navzorkovaných datech pouze jednou. Předvzorkovaná data totiž nemají omezený počet vzorků, nevíme kdy se hlavní vzorkování spustí. Cyklování v této části tedy umožní přemazávání starých dat, za cenu nutnosti ukládání a předání poslední nespouštěné pozice pomocí signálu `trig_addr`. V hlavním vzorkování je naopak důležité, aby se žádná data neztratila, je proto nutné po vyplnění paměti zápis pozastavit a počkat na přečtení. Pozastavení zápisu je indikováno signálem `done`.

Tuto část naleznete graficky popsanou na obrázku 6.5 a zasazenou do celkové vnitřní logiky jako "Správce kanálu" na schématu 6.1. Kód této části je v přílohách pod názvem "TRIGGER_CONTROL".

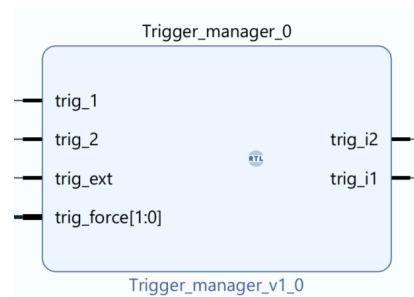


Obr. 6.5: Flowchart logiky obsluhy kanálu.

■ 6.3.3 Správce triggeru

Spouštění pomocí triggeru získaného mimo daný kanál je základní vlastnost osciloskopů. Každý kanál má mít možnost být spuštěn druhým kanálem a externím nebo interním (force) triggerem osciloskopu. Tento blok je znázorněn na obrázku 6.6. Přijímá signály spuštění jednotlivých kanálů `trig_1` a `trig_2`, signál externího triggeru `trig_ext` a svazek `trig_force` obsahující interní trigger a signál povolení `trig_ext`. Podle

těchto signálů blok rozhoduje o spuštění jednotlivých kanálů pomocí signálů `trig_i1` a `trig_i2`. Důležitou vlastností `trig_ext` je, že je invertovaný.



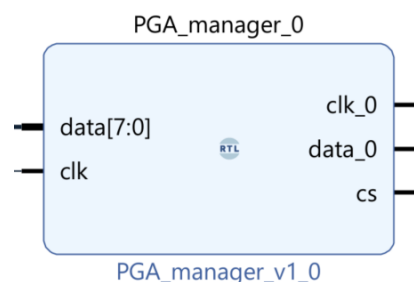
Obr. 6.6: Blok správce triggeru.

Logika tohoto obvodu přebírá signály `trig_1` a `trig_2` od jednotlivých kanálů, externí a force trigger signály osciloskopu a vysílá signály na externí triggeru jednotlivých kanálů. Pokaždé tedy když přijde na kterémkoli vstupu signál, bude přeposlán do obou kanálů, s výjimkou `trig_x`, který je přeposlán pouze na protější kanál a `trig_ext`, který musí být povolen. Všechny triggeru jsou spuštěny v tomto bloku hladinově.

Na obrázku 6.1 je tento obvod vyznačen pod jménem "Správce triggeru" a jeho kód je v přílohách pod názvem "TRIGGER_MANAGER".

■ 6.3.4 Správce PGA

Rozšiřující deska je z velké části obsluhována ručně, nachází se na ní ale také PGA (více v kapitole 5.2.4), které je třeba ovládat digitálně. Použité PGA se ovládá pomocí třídrátové sběrnice SPI, k tomuto účelu byl vytvořen blok na obrázku 6.7. Přijímá pouze hodinový signál `clk` a svazek s daty (`data`). K vysílání dat využívá signálů `clk_0`, `data_0` a signálu výběru čipu.



Obr. 6.7: Blok správce PGA na externí desce.

Důležitou částí řešení je časování, které podle datasheetu použitého PGA LTC6911-2[16] omezuje komunikaci na 5MHz . Vzhledem k různým rychlostem časování osciloskopu a ovladače desky je nejjednodušším řešením požadované nastavení předat ovladači paralelně. Ten bude mít v sobě uloženou poslední odeslanou zprávu a pokud se

bude lišit od zprávy kterou právě přijímá, uloží si jí a zahájí její odeslání. Po odeslání bude vyčkávat na další změnu zprávy k odeslání. Zapojení ovladače desky je opět vyznačeno na obrázku 6.1.

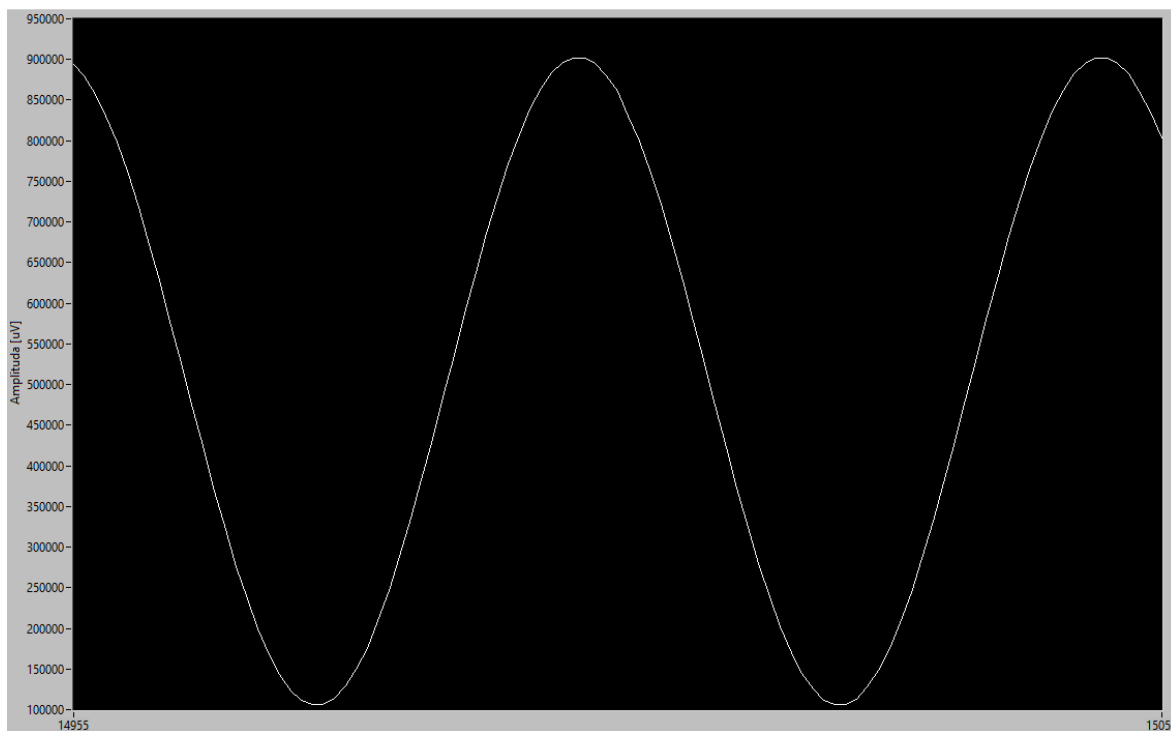
V přílohách je kód ovladače pod názvem "PGA_MANAGER".

7 Výsledky práce

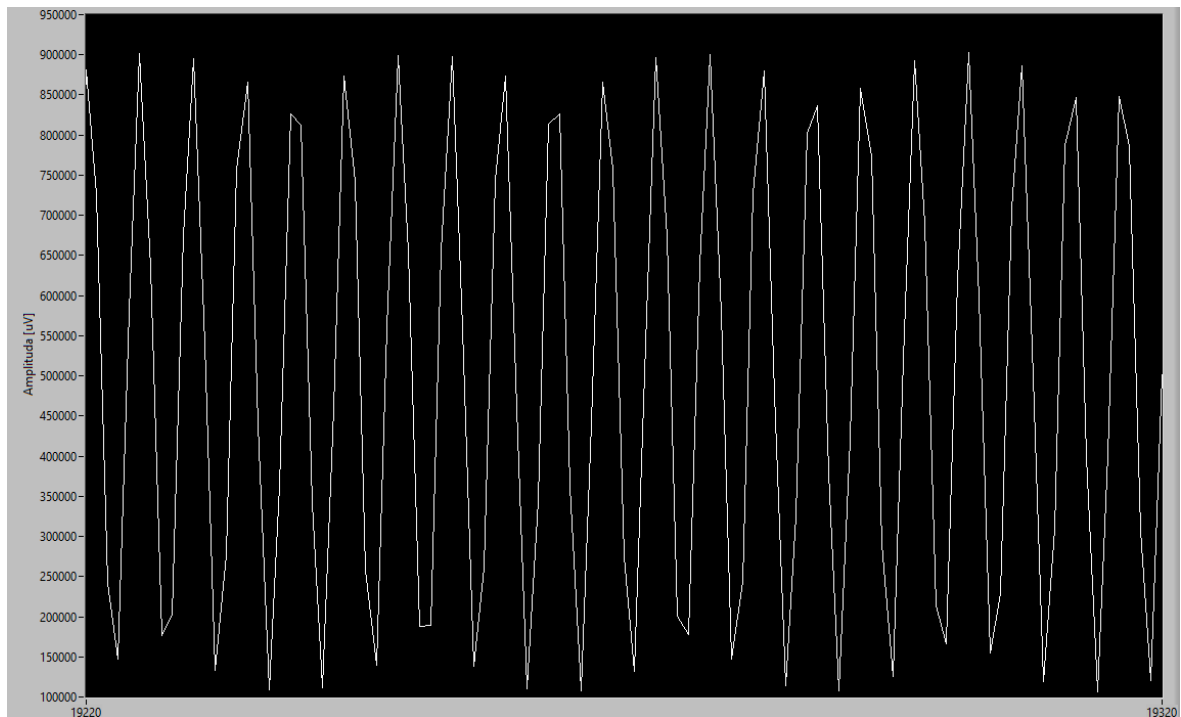
7.1 Digitální část

V rámci digitální části se podařilo vytvořit dvoukanalovou digitalizační logiku schopnou převádět analogový signál na digitální s předpokládanou rychlostí $500kS/s$ na kanál. Oba kanály disponují pamětí pro předvzorkování a pro samotné vzorkování o rozlišení 12 bit. Osciloskop reaguje podle očekávání jak na nastavenou hodnotu triggeru, tak na vynucený a externí trigger. Je tedy možné jej používat pro paralelní měření signálů, je ale nutné podotknout, že jednotlivé kanály jsou navzájem posunuté o 180° jejich vzorkovací frekvence. Tento posun ale umožňuje při připojení obou kanálů na stejný zdroj získat jejich prokládáním rychlost vzorkování $1MS/s$.

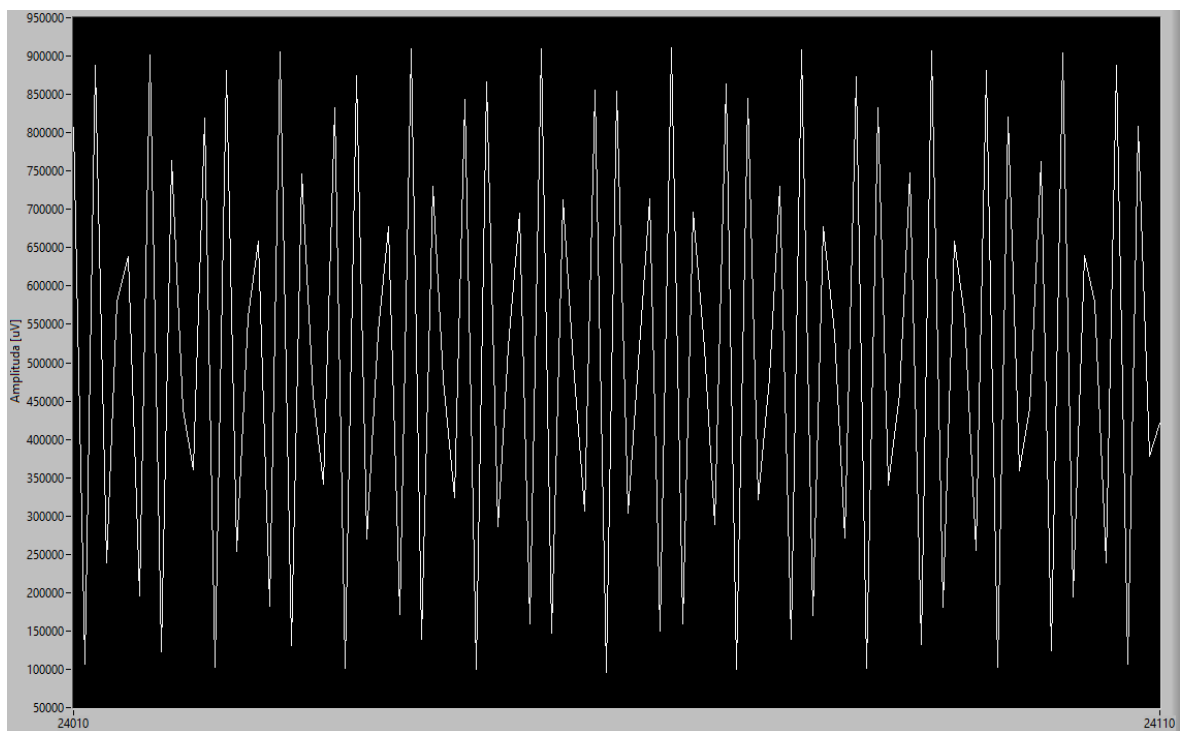
V rámci měření jedním kanálem byly naměřeny následující průběhy (7.1 až 7.4) přímým připojením generátoru signálů na vstupy kanálů XADC. Veškerá měření jsou zobrazena pomocí práce Josefa Čady[1] a na časové ose popsána pouze počtem vzorků.



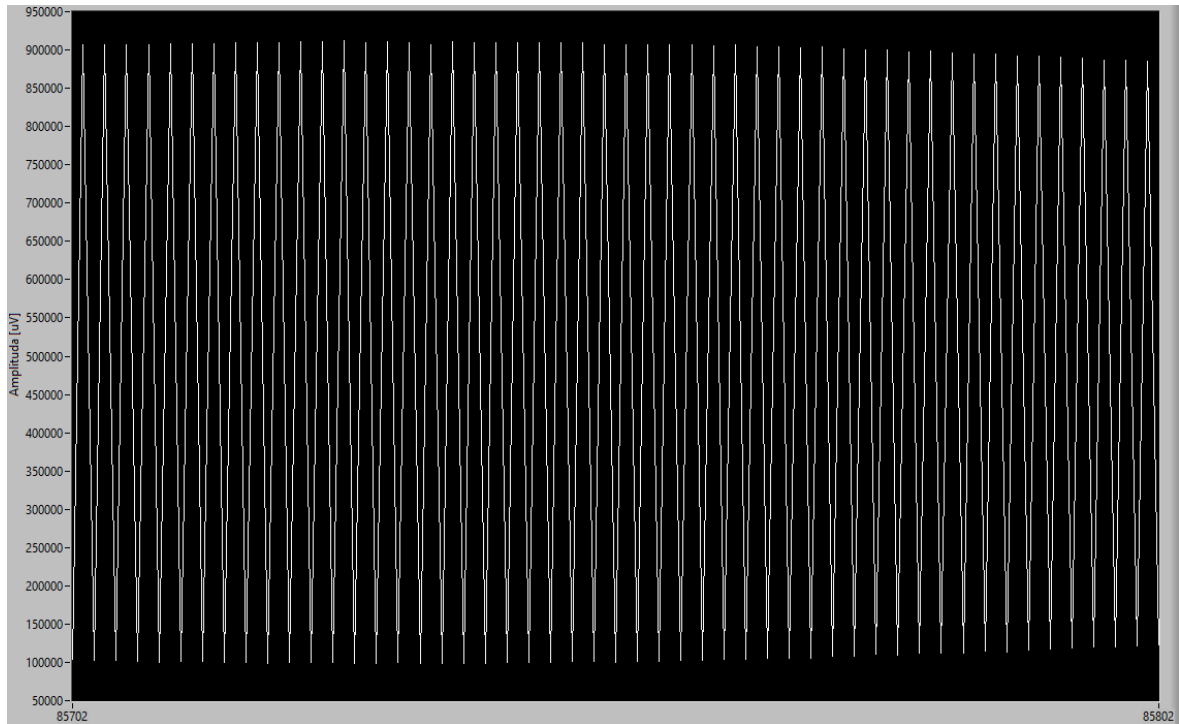
Obr. 7.1: Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 10kHz o délce 100 vzorků.



Obr. 7.2: Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 100kHz o délce 100 vzorků.



Obr. 7.3: Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 200kHz o délce 100 vzorků.



Obr. 7.4: Signál sinus s amplitudou 800mV, offsetem 500mV a frekvencí 240kHz o délce 100 vzorků.

Z obrázku 7.4 je zřejmé, že reálná nyquistova frekvence pro měření jedním kanálem je přibližně 240kHz. To znamená, že 100 vzorků odpovídá přibližně 416 μ s, reálná vzorkovací frekvence pro jeden kanál je rovna 480kHz a výsledná vzorkovací frekvence prokládání kanálů je rovna 960kHz. Z toho plyne, že nebylo splněno zadání vytvořit osciloskop s šířkou pásma 0 – 500kHz a podařilo se dosáhnout pouze pásma 0 – 480kHz. Toto zmenšení pásma je způsobeno kombinací zpoždění vlivem logiky obsluhy XADC a rozdílem mezi uvedenou a reálnou vzorkovací rychlostí XADC. Využití prostředků čipu FPGA je vypsáno v tabulce 7.1. Blokové schéma celé digitální části je v příloze tohoto dokumentu A.1 a zobrazení využitých zdrojů čipu XC7Z020-1CLG400C v příloze A.2.

Tab. 7.1: Využití prostředky čipu XC7Z020-1CLG400C digitální částí.

Zdroj	Využité	Celkové	Procentuálně
LUT	980	53200	1.8421052
LUTRAM	62	17400	0.35632184
FF	1783	106400	1.6757518
BRAM	6	140	4.2857146
IO	8	125	6.4
BUFG	5	32	15.625

Využití prostředků XC7Z020-1CLG400C celým projektem, tedy digitální částí a částí práce Josefa Čady[1], je uvedena v tabulce 7.2. Nachází se v nich navíc dva bloky calc, které vypočítávají údaje o jednotlivých kanálech a generátor funkcí. Tyto přidané bloky jsou popsány v práci Josefa Čady. V příloze A.3 je vloženo blokové schéma celého projektu na čipu XC7Z020-1CLG400C a vyzobrazení využitých prostředků v příloze A.4.

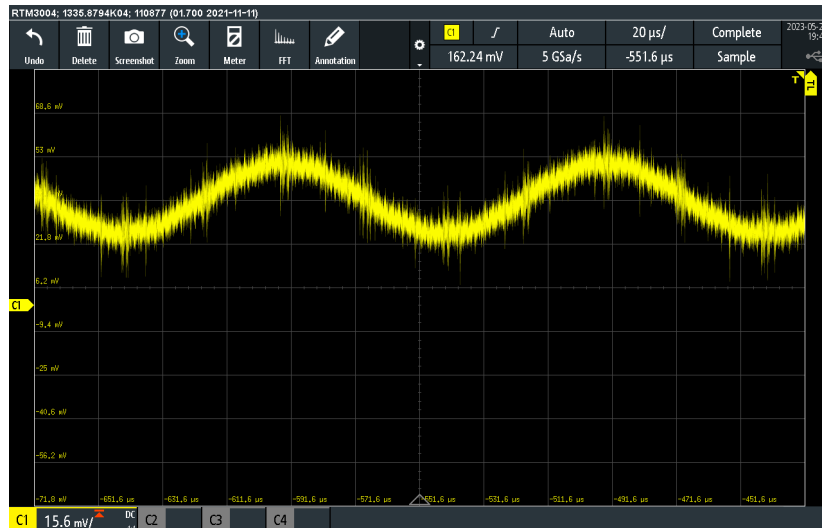
Tab. 7.2: Využití prostředky čipu XC7Z020-1CLG400C celým projektem.

Zdroj	Využití	Celkové	Procentuálně
LUT	4794	53200	9.011278
LUTRAM	63	17400	0.36206898
FF	4787	106400	4.49906
BRAM	6	140	4.2857146
DSP	2	220	0.9090909
IO	17	125	13.6
BUFG	2	32	6.25

7.2 Analogová část

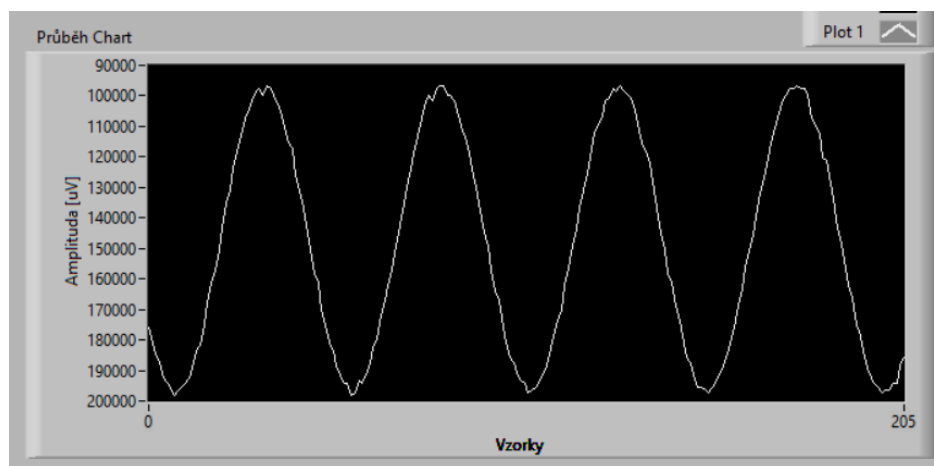
V rámci analogové části bylo realizováno PCB se dvěma kanály, ochrannými prvky a vstupem externího triggeru. Na desce byl realizován atenuátor s požadovanými charakteristikami velikostmi stupňů $\pm 20V$ a $\pm 2V$. Fotografie desky vložena v příloze A.7, její blokové schéma v příloze A.5 a odpovídající plošný spoj v příloze A.6.

Na bufferu atenuátoru se projeví oscilace o frekvenci $20MHz$, která se sice nachází mimo pásmo osciloskopu a jeho filtru, ale i přes to způsobuje rušení na přeneseném signálu. Zesilovač bufferu byl otestován s odepnutým zdrojem záporného napětí a se stabilizačními kondenzátory do $100\mu F$. Oscilace se nepodařilo odstranit jednotlivými úpravami, ani jejich kombinacemi. Pravděpodobně se jedná o problém s fázovým posunem mezi jednotlivými vstupy bufferu. Tato oscilace nevzniká na zesilovači posunu, ale při příchodu z bufferu zesiluje. Jak lze vidět na obrázku 7.5, tento šum dosahuje na vstupu XADC amplitudy $15mV$ a pokrývá tedy kompletně první tři bity převodu XADC.



Obr. 7.5: Šum, který je původem primárně z operačních zesilovačů, superponovaný na vstupním signálu měřený na osciloskopu R&S RTM3004 na sinusovém signálu o amplitudě $0,1V$ při měření rozsahu $\pm 2V$.

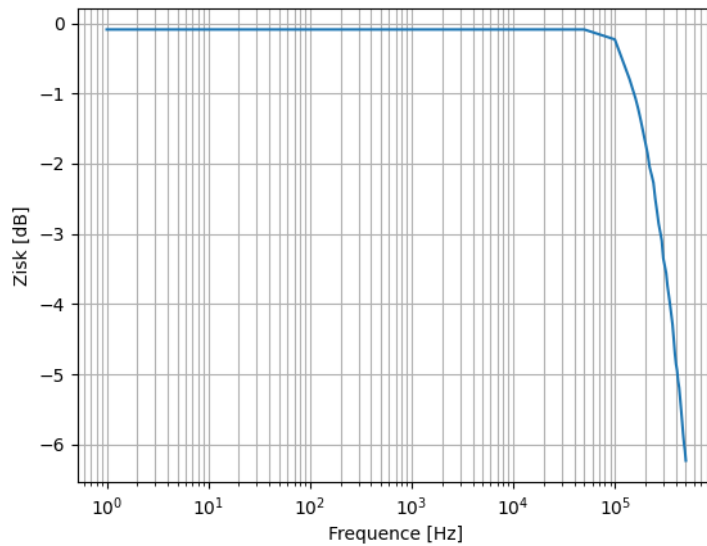
Výsledný vliv oscilace na čtení signálu je viditelný na obrázku 7.6.



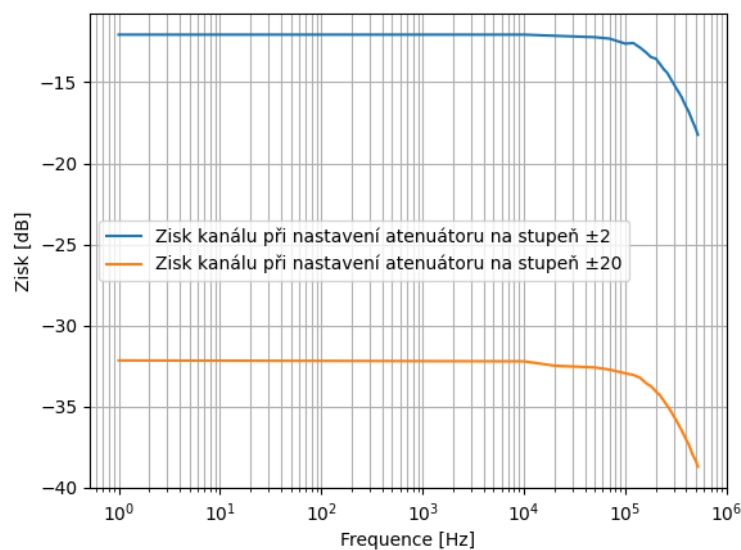
Obr. 7.6: Vliv šumu způsobeného na zesilovačích na čtení sinusového signálu o amplitudě $0,1V$ a frekvenci $10kHz$ při měření rozsahu $\pm 2V$.

S čipem PGA se nepodařilo navázat spojení, pravděpodobně způsobené nedokonalým připájením k desce. Možnost selhání ovládání PGA se očekávala a byl tedy využit předem připravený bypass k obejití čipu. Díky tomu je ale signál přicházející na převodník osciloskopu invertovaný.

Frekvenční charakteristika vstupního obvodu je zobrazena na obrázku 7.7 a výsledné frekvenční charakteristiky pro jednotlivé stupně attenuátoru na obrázku 7.8.



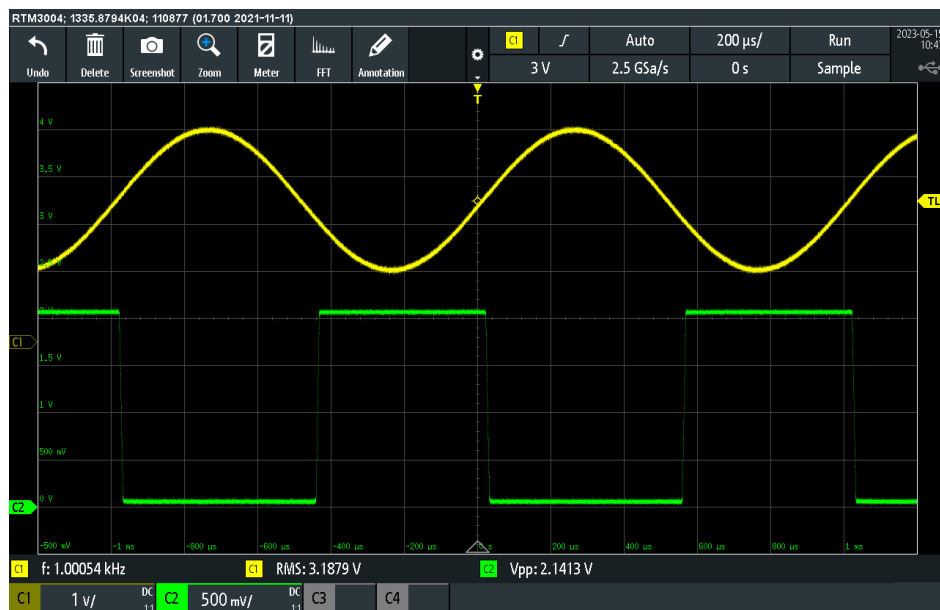
Obr. 7.7: Přenosová charakteristika vertikální části.



Obr. 7.8: Přenosová charakteristika celého kanálu.

Pomocí generátoru posunu deska teoreticky umožňuje posun na vertikální ose osciloskopu o $5mV - 1,8V$. To není díky selhání komunikace s PGA optimální, vzhledem k inverzi příchozího signálu by bylo výhodné mít možnost signál posunout o negativní napětí. Toho lze ale docílit odpájením rezistoru přivádějícího napětí posunu do inverzního sčítače a přepojením kladného vstupu tohoto sčítače na napětí posunu. Externí trigger umožňuje nastavitelnou úroveň spouštění v závislosti na napěťové úrovni

vstupního signálu od 840mV výše, až po jeho ignorování. Funkce triggeru je ukázána na obrázku 7.9.



Obr. 7.9: Příklad signálu triggeru v závislosti na vnějším zdroji měřený na osciloskopu R&S RTM3004.

8 Závěr

V rámci této bakalářské práce byl představen koncept digitálního osciloskopu jako přídatného modulu k počítači, založený na prototypovací desce ZYBO-Z7-20. Koncept byl rozdělen do dvou hlavních částí, a to signálové části a řízení se zobrazením. V této práci byla podrobně zpracována signálová část, která byla následně rozdělena na digitální část obsahující horizontální část a obsluhu XADC a analogovou část obsahující vertikální část a externí trigger.

V rámci digitální části byl úspěšně realizován vzorkovací mechanismus s nastavitelnou hodnotou triggeru pro dva nezávislé kanály. Bylo také umožněno upravovat vzorkovací frekvenci a spouštění jednotlivých kanálů. Oba kanály lze spouštět jak interním, tak externím signálem osciloskopu. Je třeba však poznamenat, že požadovaný frekvenční rozsah nebyl v rámci této práce zcela dosažen.

V analogové části byla navržena deska, která ve výsledku umožňuje měření v rozsahu $\pm 20V$ s ochranným filtrem. Pro další vylepšení je vhodné vykompenzovat fázový posun vstupního bufferu a umístit napěťovou ochranu obvodu i na vstupu obvodu. Nahrazení PGA za vhodnější čip by umožnilo jemnější kontrolu nad rozsahem osciloskopu. Dalším výhodným rozšířením by bylo oddělení posunu jednotlivých kanálů.

Celkově je výsledkem této práce funkční systém měření a zpracování signálů do digitální podoby, který je součástí celkového návrhu a sestavení přídatného modulu osciloskopu k počítači na čipu rodiny ZYNQ-7000 a platformy ZYBO ve spolupráci s Josefem Čadou.

Použité zdroje

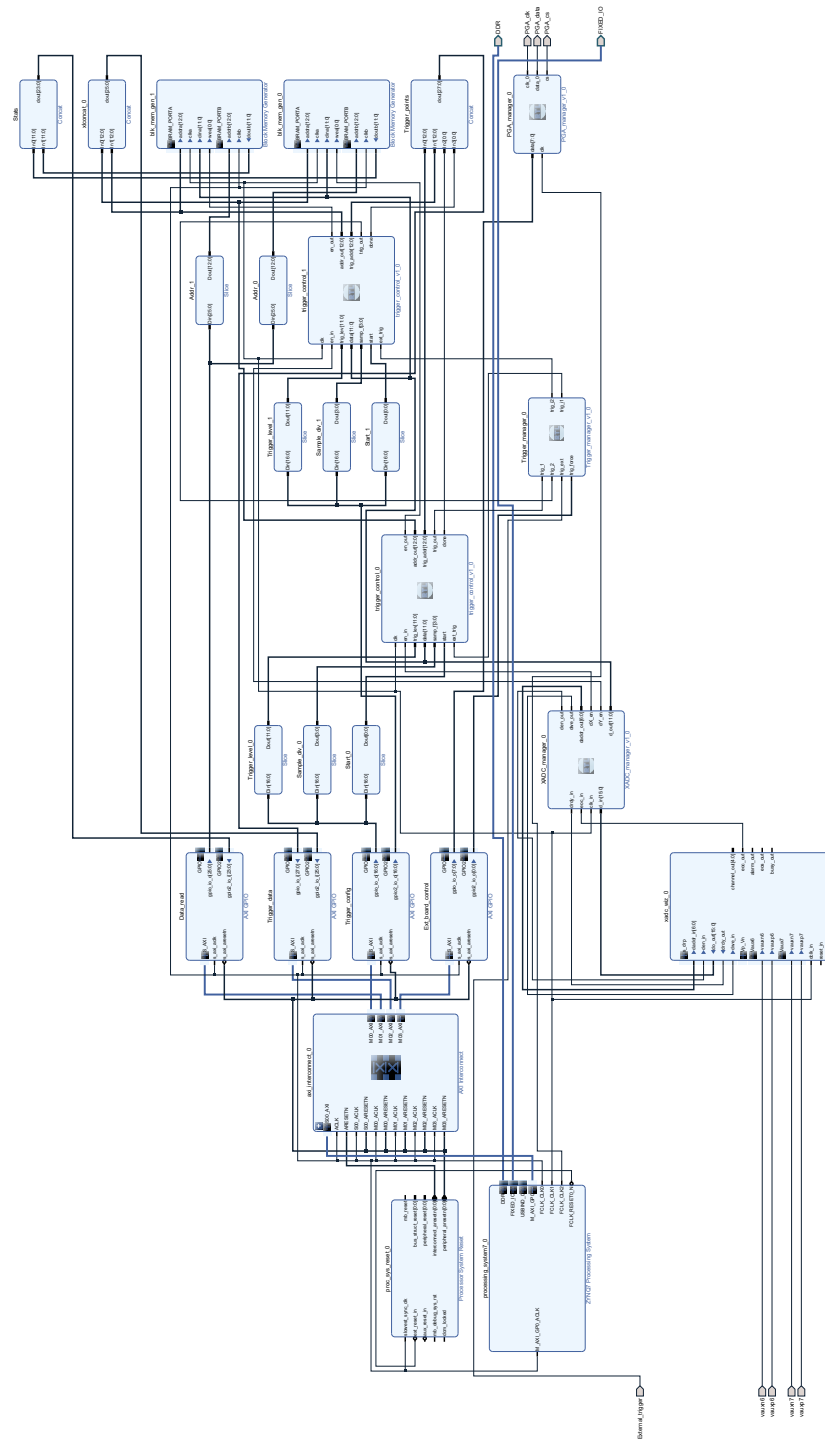
1. ČADA, Josef. *Digitální vzorkovací osciloskop na bázi SoC – řídicí a zobrazovací část*. Praha, 2023. Bakalářská práce. ČVUT FEL. Vedoucí práce CSc. prof. ING. PAVEL HAZDRA. Řídicí a zobrazovací část této práce.
2. KULARATNA, Nihal. *Digital and analogue instrumentation: testing and measurement*. IET, 2003. Č. 11. ISBN 9780852969991.
3. XYZs of Oscilloscopes. In: [online]. [B.r.] [cit. 2023-02-09]. Dostupné z: https://download.tek.com/document/03W_8605_7_HR_Letter.pdf.
4. PITAYA, Red. *Red Pitaya Developer Guide - Hardware: STEMLab 125-14*. Accessed 2023. Dostupné také z: <https://redpitaya.readthedocs.io/en/latest/developerGuide/hardware/125-14/top.html>.
5. DIGILENT. *Eclipse Z7 Reference Manual*. Accessed 2023. Dostupné také z: <https://reference.digilentinc.com/reference/programmable-logic/eclipse-z7/reference-manual>.
6. CROCKETT, L.H.; ELLIOT, R.A.; ENDERWITZ, M.A.; STEWART, R.W. *The Zynq Book: Embedded Processing With the ARM® Cortex®-A9 on the Xilinx® Zynq®-7000 All Programmable SoC*. Strathclyde Academic Media, 2014. ISBN 9780992978709. Dostupné také z: <https://books.google.cz/books?id=9dfvoAEACAAJ>.
7. *Zybo Z7 Reference manual*. Pullman, WA: Digilent, 2016. Dostupné také z: <https://digilent.com/reference/programmable-logic/zybo-z7/reference-manual>.
8. XILINX. *7 Series XADC User Guide*. Xilinx, 2021. Dostupné také z: https://docs.xilinx.com/r/en-US/ug480_7Series_XADC/XADC-Overview.
9. XILINX. *What is the Vivado Design Suite? - Vivado Design Suite User Guide* [online]. 2020. [cit. 2023-05-10]. Dostupné z: <https://docs.xilinx.com/r/en-US/ug910-vivado-getting-started/What-is-the-Vivado-Design-Suite>.
10. XILINX INC. *Vivado Design Suite User Guide: Using IP* [online]. Xilinx Inc., 2022. [cit. 2023-05-10]. Dostupné z: <https://docs.xilinx.com/r/2022.1-English/ug896-vivado-ip/IP-Centric-Design-Flow>.
11. DIGILENT. *Verilog HDL* [online]. [cit. 2022-05-10]. Dostupné z: <https://reference.digilentinc.com/learn/fundamentals/digital-logic/verilog-hdl-background-and-history/start>.
12. INC., Microchip Technology. *TC7660H Datasheet* [Datasheet]. Mouser Electronics, 2001. Dostupné také z: <https://cz.mouser.com/datasheet/2/268/21466a-259168.pdf>.
13. FORD, Doug. The Secret World of Oscilloscope Probes. *Silicon Chip Online*. 2009. Dostupné také z: <http://www.dfad.com.au/links/THE%20SECRET%20WORLD%20OF%20PROBES%20Ct09.pdf>.

14. PRODUCTS, Elliott Sound. *Attenuator design, Part 2* [online]. 2022. [cit. 2023-05-10]. Dostupné z: <https://sound-au.com/articles/meter-atten.htm#s2>.
15. DEVICES, Analog. *ADA4841-1 and ADA4841-2 Datasheet* [Datasheet]. 2021. Dostupné také z: https://www.analog.com/media/en/technical-documentation/data-sheets/ADA4841-1_4841-2.pdf.
16. CORPORATION, Linear Technology. *LTC6911 Datasheet* [Datasheet]. 2004. Dostupné také z: <https://www.analog.com/media/en/technical-documentation/data-sheets/691112fs.pdf>.
17. ZUMBAHLEN, Hank. *Linear Circuit Design Handbook*. Newnes/Elsevier, 2008. ISBN 978-0-7506-8703-4.
18. XILINX, Inc. *Processing System 7 (PS7) Product Specification*. 2017. Dostupné také z: [https://docs.xilinx.com/v/u/en-US/pg082-processing-system7-Version 5.5](https://docs.xilinx.com/v/u/en-US/pg082-processing-system7-Version%205.5).
19. *AXI Basics 1 - Introduction to AXI*. Pullman, WA: Digilent, 2021. Dostupné také z: https://support.xilinx.com/s/article/1053914?language=en_US.
20. XILINX INC. *XADC Wizard v3.3*. 2016. Dostupné také z: <https://docs.xilinx.com/v/u/en-US/pg091-xadc-wiz>.
21. INC., Xilinx. *Vivado Design Suite User Guide: Programmable Logic: Block Memory Generator v8.4* [online]. 2021. [cit. 2023-05-10]. Dostupné z: <https://docs.xilinx.com/v/u/en-US/pg058-blk-mem-gen>.

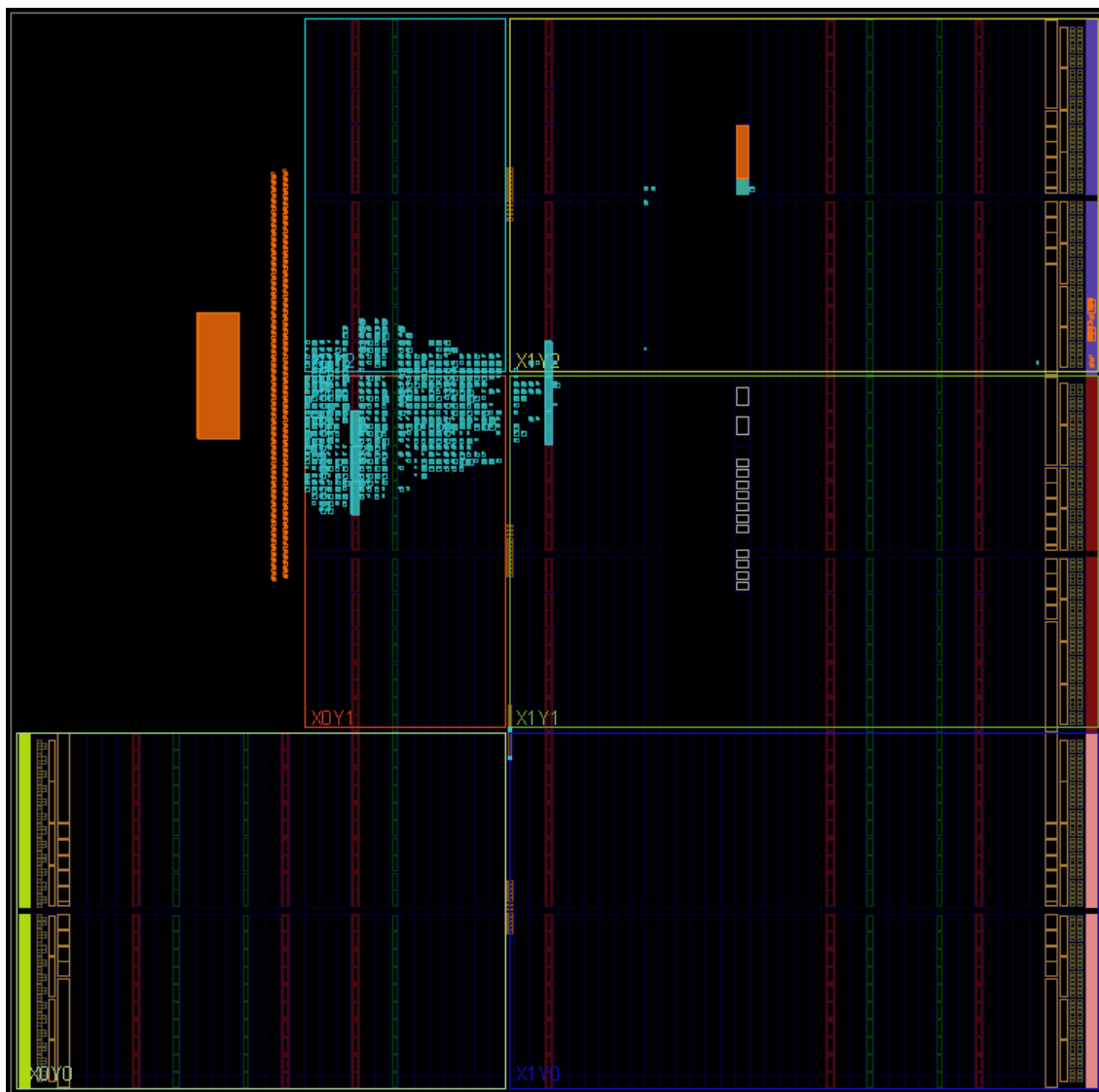


A Přílohy

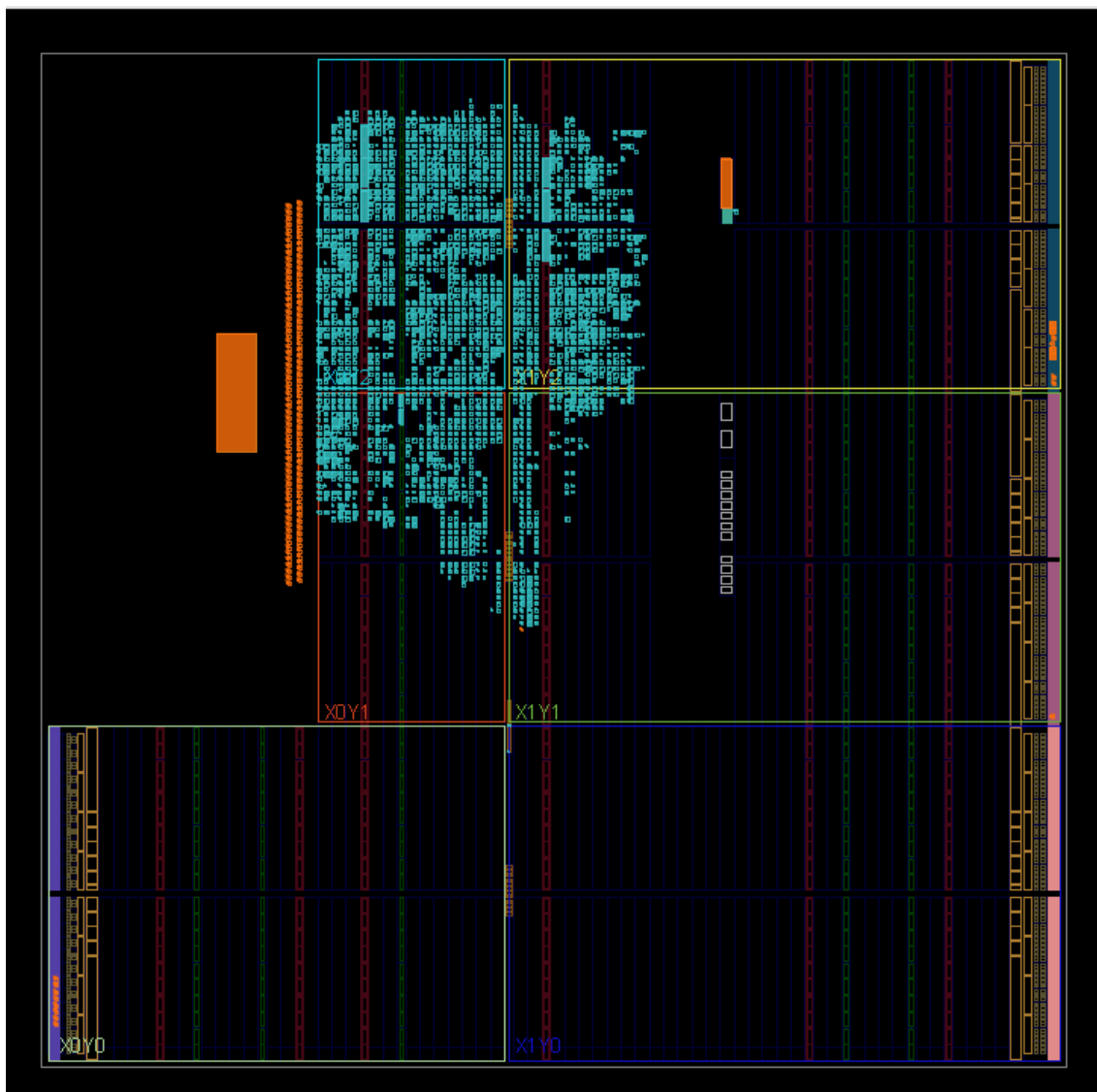
A.1 Blokové schéma digitální části zpracování signálu ve Vivadu



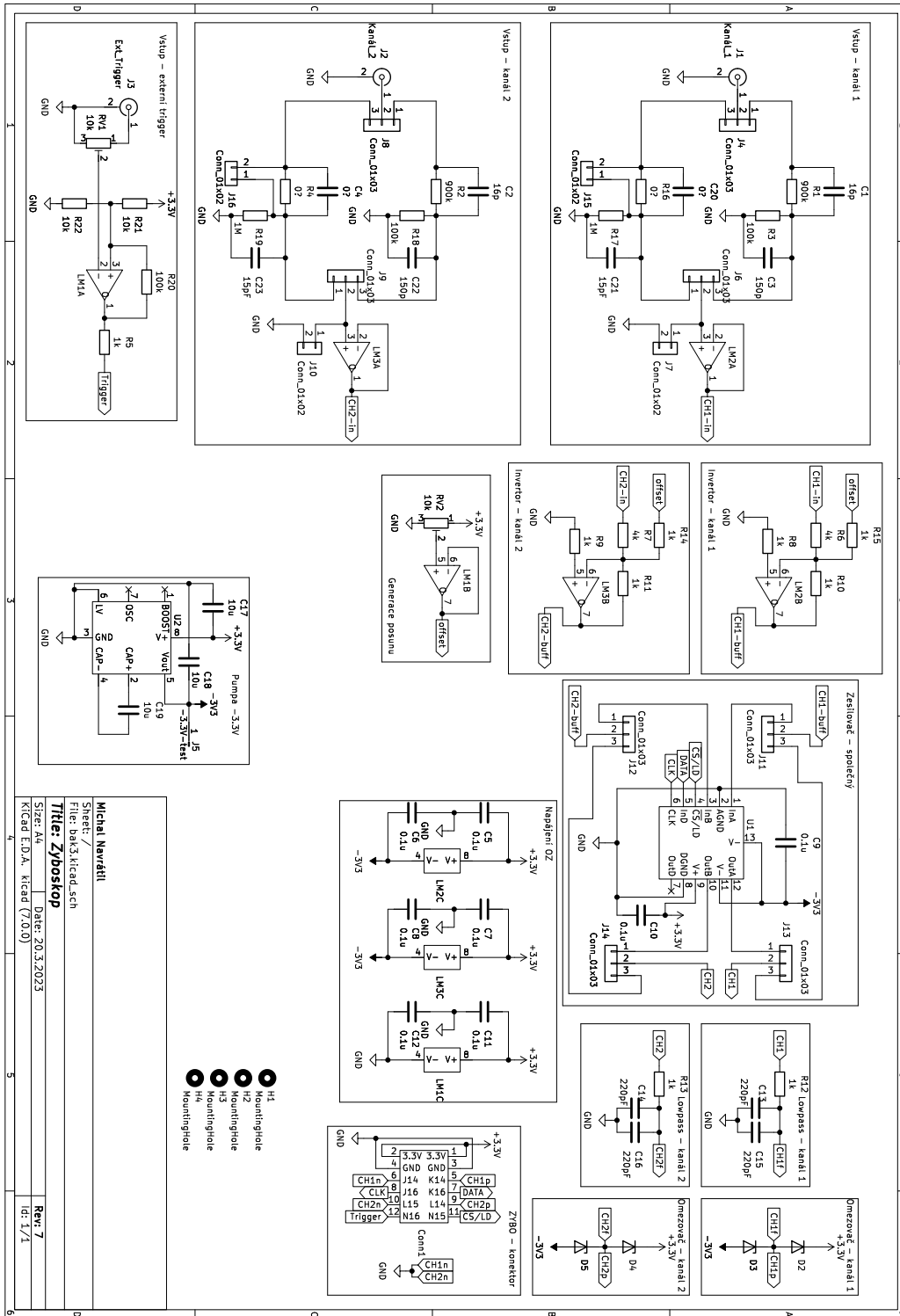
A.2 Využití čipu XC7Z020-1CLG400C digitální části zpracování signálu



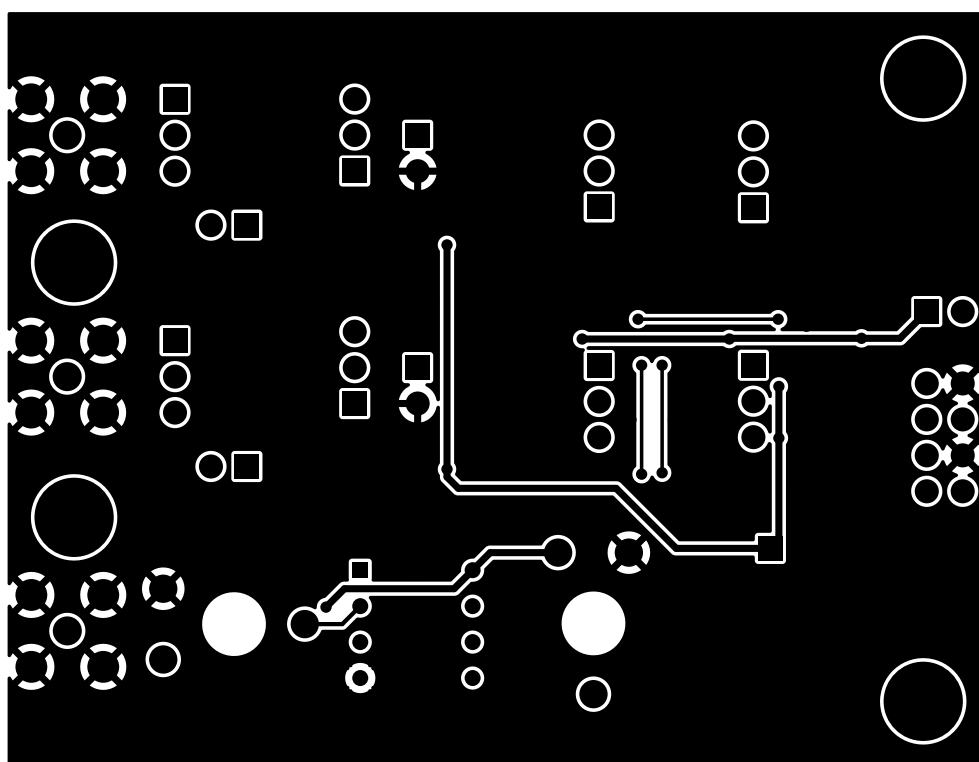
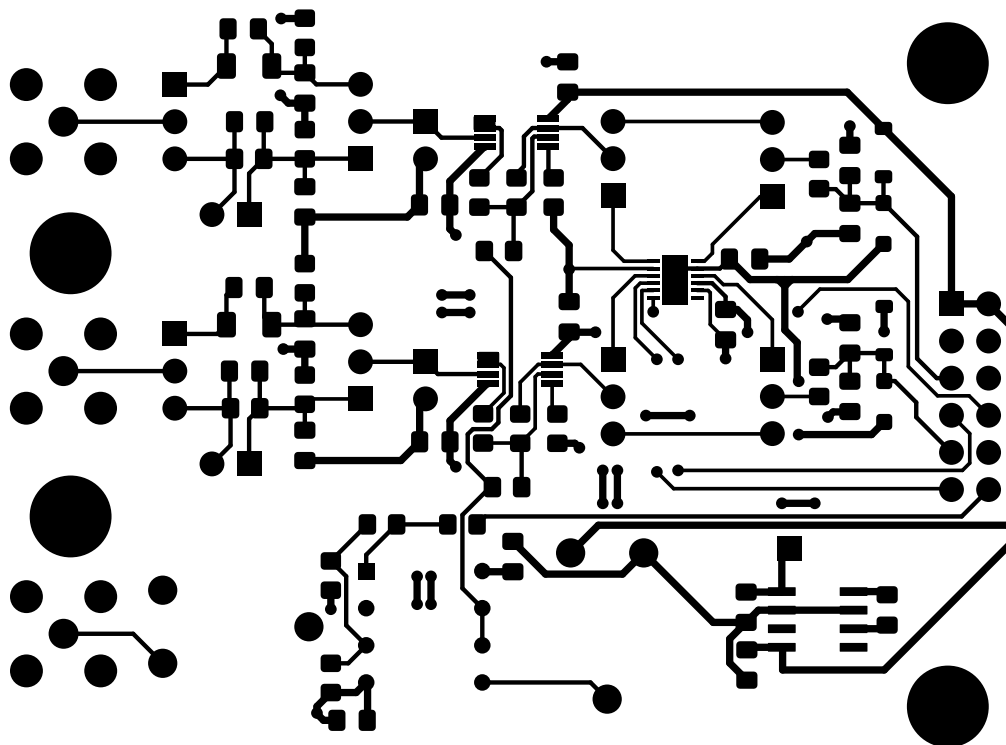
A.4 Celkové využití čipu XC7Z020-1CLG400C celým projektem osciloskopu



A.5 Schéma desky analogového zpracování signálu



A.6 Přední a zadní vrstva mědi desky analogového zpracování signálu



A.7 Vyrobená deska

